

INTERNATIONAL
TECHNOLOGY ROADMAP
FOR
SEMICONDUCTORS

2007 年版

ASSEMBLY AND PACKAGING

THE ITRS IS DEvised AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO ANY COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2007 Edition(国際半導体技術ロードマップ 2007年版)の全訳である。

国際半導体技術ロードマップ(以下 ITRS と表記)は、米国、日本、欧州、韓国、台湾の世界5極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会(STRJ)が電子情報技術産業協会(JEITA)内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には 14 のワーキンググループ(WG: Working Group)、2 つのタスクフォース(設計タスクフォースと故障解析タスクフォース)、経済性検討小委員会が組織され、半導体集積回路メーカー、半導体製造装置メーカ、材料メーカ、大学、独立行政法人、コンソーシアなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2007年版は英文で約 1000 ページの文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版(英語の原書)までは、ウェブ公開とともに、印刷された本としても出版していたが、2007 年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版を本の形で有償頒布しても需要に限られることなどのため、印刷物の形での出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。

訳文の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くの専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただければありがたい。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部の英文は訳さないでそのまま掲載することとした。Executive Summary の冒頭の謝辞(Acknowledgments)に、ITRS の編集にかかわった方々の氏名が書かれているが、こども訳出せず、原文のままの表記とした。原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように()内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ(ITRS: International Technology Roadmap for Semiconductors、以下 ITRS と表記)」「国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors)」のように和訳の後に()内に原語やそれに対応する略語を表示した。本書の巻末に用語集(Glossary)も参照されたい。原文の括弧()があつてそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注:この部分は訳者の注釈であることを示す】」のように【】内に表記した。また[]内の部分は、訳者が原文にない言葉をおぎなつた部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として読んで意味が通りやすいように意識している。ITRS のウェブ版ではハイパーリンクが埋め込まれているが、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様にはご不便をおかけするが、ご理解いただければ幸いである。

今回の日本語訳全体の編集は全体のページ数が膨大であるため、大変な作業となってしまいました。編集作業を担当いただいた、JEITA 内 STRJ 事務局の古川昇さん、恩田豊さん、近藤美智さん、明石理香さんに大変お世話になりました。厚くお礼申し上げます。

より多くの方に ITRS をご活用いただきたいとの思いから、今回の翻訳作業を進めました。今後とも ITRS と STRJ へのご理解とご支援をよろしくお願い申し上げます。

版權について

ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2007 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS • 2706 Montopolis Drive • Austin, Texas 78741 • 512.356.7687 • <http://public.itrs.net>
Japanese translation by the JEITA, Japan Electronics and Information Technology Industries Association under the
license of the Semiconductor Industry Association

—引用する場合の注意—

原文(英語版)から引用する場合： 2007 ITRS page XX, Figure(Table) YY

この和訳から引用する場合： 2007 ITRS JEITA 和訳 XX 頁,図(表)YY

と明記してください。

問合せ先：

社団法人 電子情報技術産業協会
半導体技術ロードマップ専門委員会 事務局
Tel: 03-5275-7258 <mailto:roadmap@jeita.or.jp>

Assembly and Packaging
TABLE OF CONTENTS

Assembly and Packaging	1
概要.....	1
困難な技術課題	2
シングル・チップ・パッケージ	5
パッケージング全般への要求	5
電気特性要求.....	9
熱特性要求	10
応力特性要求.....	10
コスト.....	11
信頼性.....	12
基板へのチップ実装.....	13
パッケージ基板とボードの接続.....	18
パッケージ基板	20
ウェーハ・レベル・パッケージング	27
ウェーハレベルパッケージの開発と動向	35
WLPの困難な技術課題.....	36
今後実用化されるウェーハレベルパッケージ技術の例	37
システム・イン・パッケージ	40
SiPの定義.....	41
SiP 対 SoC	42
システム・レベルの要求	43
SiPの信頼性に対する課題.....	47
熱設計.....	50
協調設計ツールに対する要求	51
SiPにおけるワイヤボンディングとダイボンディング	53
SiPのテストング	55
特定機能パッケージング	56
オプトエレクトロニクス用パッケージング	56
RFとミリ波のパッケージング	62
メディカルおよびバイオチップパッケージング	63
MEMSデバイスパッケージ	64
織物埋め込み型及びウェアラブル電子部品.....	66
車載用電子装置.....	67
太陽電池パッケージ.....	69
先端パッケージ要素技術	69
内蔵・集積された能動/受動デバイス	69
ウェーハ薄化、個片化	71
パッケージ材料への要求.....	72
環境問題.....	76
新パッケージ組立装置への要求事項	76
ITWGクロスカットの課題	77
設計TWG.....	77

配線TWG	77
RF/ワイヤレスTWG	78
ES&H TWG	78
モデリング/シミュレーションTWG	78
テストTWG	78
用語	79
References	79
付録A: パッケージ技術関連コンソーシアム	81

LIST OF FIGURES

Figure AP1	The Use of Compliant/Flexible Electrical I/O Can Potentially Eliminate the Need for Underfill.....	13
Figure AP2	Micro Bump and Pillar Bump Structures for High Reliable Chip-to-substrate Interconnects	13
Figure AP3	Examples of Forward Bond Loop	15
Figure AP4	Example of Die- to- die Wire Bonding	15
Figure AP5	Example of Cascade Bonding	16
Figure AP6	Bonding Overhang Die	16
Figure AP7	Wire Bond on Both Sides of Lead Frame Substrate.....	16
Figure AP8	Examples of Copper Pillar Bumps (a) and Assembled Copper Pillar (b).....	17
Figure AP9	Example of Copper Pillar Bumps with Solder Tips	17
Figure AP10	Examples of Wafer Level Packaging Types	28
Figure AP11	Basic Process Flow Via-first versus Via Last.....	37
Figure AP12	Roadmap for 3D Integration using TSV.....	39
Figure AP13	Example of a Side-by-side Solution of an Fanout WLP (a) and a Reconstituted Wafer (b).....	40
Figure AP14	Beyond CMOS Scaling.....	40
Figure AP15	Categories of SiP.....	41
Figure AP16	Examples of Heat Sink Technologies and Integration of Fluidic Interconnections with CMOS Chips.....	50
Figure AP17	Wire Bonding for SiP Packaging	54
Figure AP18	Mechanism and Technique for Picking Thin Die	54
Figure AP19	Film over Wire Technology	54
Figure AP20	Wire Bonding on Both Sides.....	55
Figure AP21	Examples of Representative Guided Wave Optical Interconnects	57
Figure AP22	Haitz's Law for LED flux.. ..	60
Figure AP23	AlGaInP/GaP Truncated Inverted Pyramid.....	61
Figure AP24	Texflex Embroidered Interconnects.....	66
Figure AP25	CSP with Integrated Passive Devices and Thin-film Build-Up Passive Elements	70
Figure AP26	PICS Substrate with High Density "Trench" MOS Capacitors, Planar MIM, Multi-Turn Inductors, and Poly-Si Resistors [13].....	70
Figure AP27	Overview Embedded Active Devices and Passive Devices	71

Assembly and Packaging

Figure AP28	Emerging Packaging Materials.....	75
Figure AP29	The History of Environmental Regulation for the Electronics Industry.....	76

List of Tables

Table AP1	Assembly and Packaging Difficult Challenges.....	2
Table AP2a	Single-chip Packages Technology Requirements—Near-term Years	6
Table AP2b	Single-chip Packages Technology Requirements—Long-term Years.....	7
Table AP3a	Chip-to-package Substrate Technology Requirements—Near-term Years.....	14
Table AP3b	Chip-to-package Substrate Technology Requirements—Long-term Years.....	14
Table AP4a	Substrate to Board Pitch—Near-term Years.....	19
Table AP4a	Substrate to Board Pitch—Long-term Years	19
Table AP5a	Package Substrates—Near-term Years	23
Table AP5b	Package Substrates—Long-term Years	24
Table AP5c	Package Substrate Design Parameters—Near-term Years	26
Table AP5d	Package Substrate Design Parameters—Long-term Years	27
Table AP6a	Wafer Level Packaging—Near-term Years.....	29
Table AP6b	Wafer Level Packaging—Long-term Years	32
Table AP7	Key Technical Parameters for Stacked Architectures Using TSV	38
Table AP8	Comparison of SoC and SiP Architecture.....	43
Table AP9	Package Level System Integration	44
Table AP10	Processes for SiP	45
Table AP11a	System in Package Requirements—Near-term Years	45
Table AP11b	System in Package Requirements—Long-term Years	46
Table AP12a	Thinned Silicon Wafer Thickness 200 mm/300 mm—Near-term Years	46
Table AP12b	Thinned Silicon Wafer Thickness 200 mm/300 mm—Long-term Years	46
Table AP12c	Challenges and Potential Solutions in Thinning Si Wafers.....	47
Table AP13	SiP Failure Modes	48
Table AP14	Some Common Optoelectronic Packages and Their Applications	58
Table AP15	Protocol with Distance	59
Table AP16	Optoelectronic Packaging Challenges and Potential Solutions	62
Table AP17	MEMS Packaging Methods	65
Table AP18	MEMS Packaging Examples	65
Table AP19	Materials Challenges	72
Table AP20	Package Substrate Physical Properties.....	74

ASSEMBLY AND PACKAGING

概要

本章では、アセンブリ&パッケージングの短期ロードマップで要求される値と、長期スパンでマーケットニーズを踏まえたパッケージへの新たな要求内容、それに対するソリューションの可能性について紹介する。アセンブリ&パッケージングは、半導体チップをエンドユーザーが使うことのできる半導体製品に完成する最終製造工程である。パッケージは信号伝送や電源の供給、電圧制御など、電気接続の役割を果たしている。また、放熱や、信頼性のための物理的な保護の役割もしている。

今日、アセンブリ&パッケージングは、エレクトロニクス・システムにおけるコストと性能の制約要因となっており、そのことが技術革新を加速させている。設計のコンセプトやパッケージ構造、材料、製造プロセス、システム集積化技術は全て急速に進化している。技術革新の加速スピードが、新技術開発や比較的最近に導入された技術の拡大となって現れている。一方で、無線やミックスド・シグナル・デバイス、バイオチップ、オプト・エレクトロニクス、マイクロ・エレクトロニクス・システムズ(MEMS)の各分野において、アセンブリ&パッケージング技術への新たな要求が増大している。

電子産業では従来の CMOS 微細化の限界に近づきつつある。機能当たりのコストを継続的に低減することによって、発展してきた産業の成長を今後も継続するためには、新しいデバイスと新しい材料が必要である。CMOS の微細化がムーアの法則のペースに追従できなくなる時期と、次世代デバイス・アーキテクチャや次世代電子材料が、性能当たりコストを従来ペースで低減できる時期にはギャップがある。従来のムーアの法則に基づく微細化はしだいに難しくなっており、アセンブリ&パッケージングの革新が、機能の多様化と三次元方向への集積を可能にして、そのギャップを補う役割を果たすことになる。

すなわち、アセンブリ&パッケージングはシステム・イン・パッケージ(SiP)技術によって、機能の多様化を低コストで実現すし、継続的な機能の高密度化と機能当たりコストの低減が可能となって、電子産業の更なる発展に寄与する。

マーケット・ニーズへのソリューションとして、印刷法による回路形成、薄ウェーハ加工、能動素子や受動素子のエンベデッドデバイスなど、新しいアーキテクチャが実用化されつつある。これらの新しいアーキテクチャを実現し、より厳しくなっていく環境規制に対応するために、アセンブリ&パッケージングの材料と設備にも急激な革新が起こっている。

本章は以下の 8 章から構成されている。

- ・ 困難な技術課題
- ・ シングル・チップ・パッケージ
- ・ ウェーハ・レベル・パッケージ
- ・ システム・イン・パッケージ
- ・ 特定機能パッケージ
- ・ 先端パッケージ技術
- ・ 設備への要求

2 Assembly and Packaging

- ・ 他分野との関連

ITRS のアセンブリ&パッケージングの章は、iNEMI や IPC、日本実装技術ロードマップなど、工業会の他のロードマップと、可能な限り整合を図っている。

困難な技術課題

多くのデバイスでパッケージがコストと性能を制約しているという認識が、アセンブリ&パッケージングの技術革新を加速させている。短期ロードマップでは、設計から製造、テスト、信頼性などアセンブリ&パッケージング・プロセスの全てのフェーズで、困難な技術課題が山積みになっている。

それでも、多くの鍵となる技術課題は解決する必要がある。Table AP1 にそれらをまとめた。これらの課題を解決するためには、膨大な研究開発(R&D)投資が必要となろう。

Table AP1 Assembly and Packaging Difficult Challenges

困難な技術課題 $\geq 22\text{ nm}$	課題のまとめ
銅配線や low k を含む配線工程以降による パッケージへの影響	<ul style="list-style-type: none"> ・ 銅への直接ワイヤボンディング技術やバンプボンディング技術。ボンディング可能なバリアメタルへの改善 ・ 超 low k 材料のダイシング方法 ・ 鉛フリーはんだバンプでも low k 層にストレスを生じないバンプとアンダーフィル技術 ・ 改良された絶縁材料の靱性 ・ 界面の接着力 ・ Low-κ との接続信頼性 ・ 重要な特性の計測方法の開発 ・ Cu/low-κ 上へのプロービング
ウェーハレベル CSP	<ul style="list-style-type: none"> ・ 多ピン小チップの I/O ピッチ縮小 ・ 低いスタンドオフに対する洗浄プロセスとはんだ接続信頼性 ・ ウェーハ薄化とそのハンドリング ・ 耐 ESD 構造のコンパクト化 ・ 大チップで問題となる熱膨張差の補完
チップ/パッケージ/基板の協調設計・ 解析ツール	<ul style="list-style-type: none"> ・ ミックスシグナルの協調設計・解析環境 ・ モデル作成と解析の迅速性 ・ 熱応答解析と熱応力解析の統合分析ツール ・ 電気解析(電源妨害、EMI、高周波/高電流で低電圧スイッチングの電源・信号完全性) ・ システムレベルの協調設計が必要となっている。 ・ ロードマップ要求を満たしていくためには、I/O バッファのエアアレイ化設計 EDA ツールが必要。 ・ 信頼性評価モデル
内蔵部品	<ul style="list-style-type: none"> ・ 低コストパッシブ内蔵部品: R,L,C ・ アクティブ内蔵デバイス ・ チップでは達成不可能な要求品質 ・ ウェーハレベルの内蔵部品

<p>薄チップのパッケージ</p>	<ul style="list-style-type: none"> ・ 薄チップのウェーハやチップのハンドリング ・ 薄ウェーハの支持体材料(有機材料、シリコン、セラミック、ガラス、積層コア材) ・ 新しい価値の連携に対するインフラ整備 ・ 新しいプロセスフローの整備 ・ 信頼性 ・ テストしやすさ ・ 異種アクティブデバイス ・ 電氣的、光学的インターフェースの統合
-------------------	--

4 Assembly and Packaging

Table A1 Assembly and Packaging Difficult Challenges (continued)

困難な技術課題 ≥ 22 nm	課題のまとめ
チップと基板間のギャップの狭さ 改善された有機基板	<ul style="list-style-type: none"> ・ 低コストな配線設計 ・ 高周波アプリケーションに対応したインピーダンス・コントロールの改善と低誘電損失 ・ 工程内温度の高温化に対応した平坦度と反りの改善 ・ 吸湿率の低減 ・ 基板コアのビア密度の向上 ・ 信頼性の向上可能なめっきの改善 ・ シリコンの微細化に対応した接続密度への解決策（シリコンの I/O 密度向上がパッケージ基板の微細化技術の進歩を上回っている。） ・ パッケージング技術にウェーハプロセスと類似な工程とプロセス技術が必要。 ・ 鉛フリーはんだ条件に対応した Tg が必要。（260 度におけるリワークを含めて。）
高電流密度パッケージ	<ul style="list-style-type: none"> ・ エレクトロマイグレーションは今後より大きな制約要因になるだろう。熱・応力信頼性モデル化と共に、材料改善によって対処する必要がある。 ・ ウィスカの成長 ・ 放熱設計
フレキシブルなパッケージ	<ul style="list-style-type: none"> ・ 柔軟な低コスト有機基板 ・ 薄型小チップ組み立て ・ 低コスト作業におけるハンドリング
3次元パッケージ	<ul style="list-style-type: none"> ・ 熱設計 ・ 設計と解析ツール ・ ウェーハ・ボンディング ・ 貫通孔の構造と埋め込みプロセス ・ TSV ウェーハやチップの切断 ・ 個々のウェーハやチップへのコンタクト技術 ・ バンプレス接続構造

困難な技術課題 < 22 nm	課題のまとめ
パッケージコストがチップコストの下降カーブに追従できていない	<ul style="list-style-type: none"> ・ 組み立ての利益率は、コスト低減に必要な設備投資を行うには不十分である。 ・ デバイスの複雑化に対してコストの高いパッケージ構造が必要になる。
多ピン小チップ、高電力密度	<p>これらのデバイスは現在のパッケージ技術で対応可能なレベルを超えており、下記の特性を備えた新しいはんだや UBM が必要となる。</p> <ul style="list-style-type: none"> ・ 高電流密度への対応 ・ より高い動作温度への対応
高周波チップ	<ul style="list-style-type: none"> ・ 1 mm 幅当たり 20 ライン以上の配線密度を有する基板 ・ 低誘電損失—10GHz 以上の表皮効果 ・ ホットスポットの熱設計 ・ 現在は基板配線幅とスペース幅が 5 ミクロンのところに技術的な障壁がある。

<p>チップ、受動素子、基板を集積することのできるシステムレベルの設計能力</p>	<ul style="list-style-type: none"> ・ 多くの会社にまたがったシステム設計と製造の分割は、複雑なシステムの性能、信頼性、そしてコストの最適化を難しくする。 ・ 情報の種類と情報品質の管理は、その情報移動の構造に伴って、複雑に標準化される必要がある。 ・ 内蔵パッシブ素子は基板内蔵と共に、バンプの中にも内蔵されるだろう。
<p>新しいパッケージ技術を必要とする新デバイス（有機物、ナノ構造、バイオ）</p>	<ul style="list-style-type: none"> ・ 有機物デバイスのパッケージへの要求事項は不確定（自らパッケージを成長させる可能性もある） ・ バイオとのインターフェースに新しい構造が必要となる。

TSV—through silicon via

これらの技術課題を解決するのに必要な R&D 投資は、経営を維持するレベルを超えており、パッケージ組立メーカの純利益から捻出する額だけでは不十分である。これらに産業界が対応した結果として、研究コンソーシアムや大学における共同研究プログラムが最近増加している。

- 大学におけるパッケージ技術の研究が世界中で増えている。
- 現在の銅配線や low k, high k 材料を超えた、次世代材料の候補となる新ポリマやナノ材料の開発への、材料メーカの R&D 投資額が増えている。将来の要求を解決すべき新材料については、本ロードマップの新材料の章を参照のこと。
- ベンチャーキャピタルからの投資は、ここ数年の空白の後に再び増えつつある。
- ウェーハやチップの薄化とハンドリング、封入(例として圧縮成型、アンダーフィルモールド)、シリコン貫通ビア (TSV)、ウェーハ・レベル・パッケージング (WLP)、三次元パッケージの製造やハンドリングを実現する新機能に、設備メーカは R&D 投資を行っている。
- 公的及び民間系研究機関はこの分野への R&D 投資を増やしている。アセンブリ&パッケージングの開発に関っているコンソーシアムのリストを本章第 9 節に掲載した。
- 家電メーカはシステム統合アーキテクチャや SiP を革新していく牽引力となっている。

たとえこれらの投資を行ったとしても、現在のレベルでは、困難な課題をロードマップの時間軸どおりに達成するのは難しいだろう。アセンブリ&パッケージングで提示するロードマップを計画通り遂行するためには、R&D 投資を加速することと、開発の効率の良い分業をすることが必要である。本章の目的とするところは、困難な課題に焦点を当てて、それを解決するためのコーディネート奨励し促進することである。

シングル・チップ・パッケージ

パッケージング全般への要求

シングル・チップ・パッケージへの技術的要求は、動作特性や環境への配慮に加えて、コスト、チップ寸法、消費電力、ピン数などがある。これらのロードマップを Table AP2 に示した。これらの中には、色で識別してあるように、ソリューションが実証されていないものや未知のものがたくさんある。これらの識別された項目の多くは、ロードマップ数値が達成できないというよりも、解決策がコスト目標を満たしていないという理由による。

6 Assembly and Packaging

各々の項目について、4つの製品別に小分類してある。一般的に、ローコスト・カテゴリはデバイスによらず最も安いパッケージであり、性能上の要求はほとんどない。携帯機器用デバイスとメモリは、短期ロードマップではほぼ同じ要求となっているので、同一グループに分類した。しかし、高性能メモリ回路が必要とする周波数の高速化のために、このロードマップの期間中に分類しなおすことになる。コスト・パフォーマンス・カテゴリとハイパフォーマンス・カテゴリは、マイクロプロセッサをモデルとした。ただし、ピン数とチップ寸法については、FPGAのほうが高いので、それをモデルとした。

Table AP2a Single-chip Packages Technology Requirements—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	23	20	18	16	14	13	11	10
<i>Cost per Pin Minimum for Contract Assembly (Cents/Pin)</i>									
Low-cost, hand-held and memory	.27-.50	.25-.48	.24-.46	.23-.44	.22-.42	.21-.40	.20-.38	.20-.36	.20-.34
Cost-performance	.69-1.19	.66-1.13	.63-1.70	.60-1.20	.57-.97	.54-.92	.51-.87	.48-.83	.46-.79
High-performance	1.83	1.73	1.64	1.56	1.48	1.41	1.34	1.27	1.21
Harsh	0.27-2.11	0.25-2.00	0.24-1.90	0.23-1.54	.22-1.81	.21-1.71	.20-1.63	.20-1.55	.20-1.47
<i>Chip size (mm²)</i>									
Low-cost/hand held	100	100	100	100	100	100	100	100	100
Cost performance	140	140	140	140	140	140	140	140	140
High performance (FPGA)	662	695	729	766	804	750	750	750	750
Harsh	100	100	100	100	100	100	100	100	100
<i>Maximum Power (Watts/mm²)</i>									
Hand held and memory (Watts)	3	3	3	3	3	3	3	3	3
Cost-performance (MPU)	0.57	0.86	0.90	0.96	1.13	1.11	1.10	1.17	1.19
High-performance (MPU)	0.33	0.47	0.46	0.47	0.52	0.51	0.48	0.49	0.46
Harsh	0.18	0.2	0.2	0.22	0.22	0.24	0.25	0.25	0.27
<i>Core Voltage (Volts)</i>									
Low-cost	0.9	0.8	0.7	0.6	0.6	0.6	0.5	0.5	0.4
Hand-held and memory	0.7	0.6	0.6	0.5	0.5	0.5	0.5	0.4	0.4
Cost-performance	0.9	0.8	0.8	0.6	0.6	0.6	0.6	0.5	0.5
High-performance	0.9	0.8	0.8	0.6	0.6	0.6	0.6	0.5	0.5
Harsh	1.2	1.2	1.2	1.2	1	1	0.9	0.9	0.9
<i>Package Pin count Maximum</i>									
Low-cost	148-700	150-800	160-850	170-900	180-950	188-1000	198-1050	207-1100	218-1150
Cost performance	600-2140	600-2400	660-2801	660-2783	720-3061	720-3367	800-3704	800-4075	880-4482
High performance (FPGA)	4000	4400	4620	4851	5094	5348	5616	5896	6191
Harsh	386	405	425	447	469	492	517	543	570
<i>Minimum Overall Package Profile (mm)</i>									
Low-cost, hand held and memory	0.4	0.3	0.3	0.3	0.3	0.3	0.3	0.2	0.2
Cost-performance	0.8	0.65	0.65	0.65	0.65	0.5	0.5	0.5	0.5
High-performance	1.4	1.4	1.4	1.2	1.2	1	1	1	1
Harsh	0.8	0.8	0.8	0.8	0.7	0.7	0.7	0.7	0.7

Table AP2a Single-chip Packages Technology Requirements—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	23	20	18	16	14	13	11	10
<i>Performance: On-Chip (GHz)</i>									
Low-cost/Hand held	735/4676	808/5144	889/5660	978–6224	1076 - 6846	1183 - 7530	1243–7903	1305 - 8303	1370 - 8718
Cost-performance	4.70	5.06	5.45	5.88	6.33	6.82	7.34	7.91	8.52
High-performance	4.70	5.06	9827.14	5.88	6.33	6.82	7.34	7.91	8.52
Harsh	106	117	128	141	155	171	188	207	227
<i>Performance: Chip-to-Board for Peripheral Buses (MHz)</i>									
Low-cost Logic/Memory to MPU clock	100/667	100/800	100/800	125/800	125/800	125/1000	125/1000	125/1000	125/1000
Cost-performance (for multi-drop nets)	733	800	800	800	800	1000	1000	1000	1000
High-performance (for differential-pair point-to-point nets) (GHz)	4.88	6.10	7.63	9.54	11.92	14.90	18.63	23.28	29.10
Harsh	106	106	115	125	125	125	125	125	150
<i>Maximum Junction Temperature</i>									
Low-cost, Hand Held and Memory	125	125	125	125	125	125	125	125	125
Cost performance	95	95	90	90	90	90	90	90	90
High-performance	95	95	90	90	90	90	90	90	90
Harsh**	175	175	200	220	220	220	220	220	220
Harsh-complex ICs	175	175	175	175	175	175	175	175	175
<i>Operating Temperature Extreme: Ambient (°C)</i>									
Low-cost, Hand Held and Memory	55	55	55	55	55	55	55	55	55
Cost-performance	45	45	45	45	45	45	45	45	45
High-performance	55	55	55	55	55	55	55	55	55
Harsh	-40 to 150	-40 to 150	-40 to 175	-40 to 200	-40 to 200	-40 to 200	-40 to 200	-40 to 200	-40 to 200
Harsh-complex ICs	-40 to 150	-40 to 150	-40 to 150	-40 to 150	-40 to 150				

Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Interim solutions are known
 Manufacturable solutions are NOT known

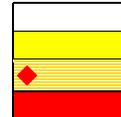


Table AP2b Single-chip Packages Technology Requirements—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ Pitch (nm) (contacted)	23	20	18	16	14	13	11
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	23	20	18	16	14	13	11
MPU Physical Gate Length (nm)	9	8	7	6.3	5.6	5.0	4.5
<i>Cost per Pin Minimum for Contract Assembly (Cents/Pin)</i>							
Low-cost, hand-held and memory	.20-.32	.20-.30	.2-.29	.2-.27	.2-.26	.19-.25	.19-.25
Cost-performance	.44 - .75	.42 - .71	.39 - .68	.37 - .64	.35 - .61	.33-.58	0.32-0.55

8 Assembly and Packaging

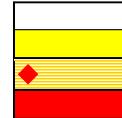
Table AP2b Single-chip Packages Technology Requirements—Long-term Years

<i>Year of Production</i>	2016	2017	2018	2019	2020	2021	2022
<i>DRAM ½ Pitch (nm) (contacted)</i>	23	20	18	16	14	13	11
<i>MPU/ASIC Metal 1 (M1) ½ Pitch (nm)</i>	23	20	18	16	14	13	11
<i>MPU Physical Gate Length (nm)</i>	9	8	7	6.3	5.6	5.0	4.5
High-performance	1.15	1.09	1.04	0.99	0.94	0.89	0.85
Harsh	.20 - 1.40	.20 - 1.33	.20 - 1.26	.20 - 1.20	.20 - 1.14	.19-1.08	.19-1.03
<i>Chip size (mm²)</i>							
Low-cost/hand held	100	100	100	100	100	100	100
Cost performance	140	140	140	140	140	140	140
High performance (FPGA)	750	750	750	750	750	750	750
Harsh	100	100	100	100	100	100	100
<i>Maximum Power (Watts/mm²)</i>							
Hand held and memory (Watts)	3	3	3	3	3	3	3
Cost-performance (MPU)	1.07	1.12	1.19	1.27	1.24	1.63	1.73
High-performance (MPU)	0.42	0.42	0.44	0.43	0.42	0.43	0.43
Harsh	0.28	0.28	0.29	0.29	0.29	0.3	0.3
<i>Core Voltage (Volts)</i>							
Low-cost	0.4	0.4	0.4	0.4	0.4	0.4	0.4
Hand-held and memory	0.4	0.4	0.4	0.4	0.4	0.4	0.4
Cost-performance	0.5	0.5	0.5	0.5	0.5	0.5	0.5
High-performance	0.5	0.5	0.5	0.5	0.5	0.5	0.5
Harsh	0.9	0.8	0.8	0.8	0.8	0.8	0.8
<i>Package Pin count Maximum</i>							
Low-cost	229 - 1200	240 - 1200	252 - 1250	265 - 1250	278 - 1250	292- 1300	306- 1300
Cost performance	880- 4930	960- 5423	960- 5966	1050- 6562	1050 - 7218	1155- 7940	1155- 8337
High performance (FPGA)	6501	6826	7167	7525	7902	8297	8712
Harsh	599	629	660	693	728	764	803
<i>Minimum Overall Package Profile (mm)</i>							
Low-cost, hand held and memory	0.2	0.2	0.2	0.2	0.15	0.15	0.15
Cost-performance	0.4	0.4	0.4	0.4	0.4	0.3	0.3
High-performance	0.9	0.9	0.9	0.9	0.8	0.8	0.8
Harsh	0.6	0.6	0.6	0.6	0.5	0.5	0.5
<i>Performance: On-Chip (GHz)</i>							
Low-cost/Hand held	1438 - 9154	1510 - 9612	1586 - 10092	1665 - 10597	1748 - 11127	1835- 11683	1927- 12268
Cost-performance	9.18	9.89	10.65	11.47	12.36	13.32	14.34
High-performance	9.18	9.89	10.65	11.47	12.36	13.32	14.34
Harsh	250	275	302	333	366	403	443
<i>Performance: Chip-to-Board for Peripheral Buses (MHz)</i>							
Low-cost Logic/Memory to MPU clock	150/1200	150/1200	150/1200	150/1200	150/1200	150/1200	150/1200
Cost-performance (for multi-drop nets)	1200	1200	1200	1200	1200	1200	1200
High-performance (for differential-pair point-to-point nets) (GHz)	34.93	41.91	46.10	50.71	55.78	61.36	67.50
Harsh	150	150	150	150	150	150	150
<i>Maximum Junction Temperature</i>							
Low-cost, Hand Held and Memory	125	125	125	125	125	125	125

Table AP2b Single-chip Packages Technology Requirements—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ Pitch (nm) (contacted)	23	20	18	16	14	13	11
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	23	20	18	16	14	13	11
MPU Physical Gate Length (nm)	9	8	7	6.3	5.6	5.0	4.5
Cost performance	90	90	90	90	90	90	90
High-performance	90	90	90	90	90	90	90
Harsh	220	220	220	220	220	220	220
Harsh-complex ICs	175	175	175	175	175	175	175
<i>Operating Temperature Extreme: Ambient (°C)</i>							
Low-cost, Hand Held and Memory	55	55	55	55	55	55	55
Cost-performance	45	45	45	45	45	45	45
High-performance	55	55	55	55	55	55	55
Harsh	-40 to 200						
Harsh-complex ICs	-40 to 150						

Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Interim solutions are known
 Manufacturable solutions are NOT known



電気特性要求

製造誤差は電気設計の結果に大きな影響を与える。製造誤差のロードマップ(ビア径、ビア位置精度、配線厚、配線幅、絶縁材の厚さ)と電気特性要求とは整合が取れていなければならない。パッケージへの要求の基となる主な項目について以下に解説する。

クロストーク

回路速度と集積度は、CMOS の世代ごとに向上している。回路の速さはクロックサイクルの短さを表し、集積度は並行する配線が近接していることを意味している。デバイスの進化に伴って、限りない高速化と多ピン化が必要とされている。このような高性能回路には、デバイスやパッケージ、システムから発生するノイズを最小限に抑制できるパッケージが要求される。

主なノイズ源は並行した信号線間のクロストークである。クロストークノイズは、隣接した信号の配線間隔と絶縁体厚の比でほぼ決まる。信号線の幅と間隔が一定で、材料の誘電率を下げると、特性インピーダンスを同じ値に保つためには、絶縁体の厚さを薄くする必要がある。その結果としてクロストークノイズを小さくすることができる。クロストークは、ファインピッチ・ボンディングのワイヤ間やファインピッチ・ビア間でも問題になる。

パワー・インテグリティ

パワー・インテグリティは高速用 IC ではますます重要になっている。周波数が上がり、動作電圧が下がるからである。AC ノイズを低減させるためにデカップリング・コンデンサが多く使われている。デカップリング・コンデンサに寄生する等価直列インダクタンス(ESL)が高周波性能を大きく制約している。コンデンサの ESL から生じる高周波ノイズを低減するために、埋め込み平面キャパシタやオンチップ・キャパシタが使われている。その一方、チップ上でカップリングするためのコストと、複雑な構造・プロセスが問題視され始めている。パッケージとチップ間、及びパッケ

ージと PCB 間で共振が発生するので、広い周波数帯に渡って、電源供給インピーダンスをコントロールすることは難しい。このことが、高速回路用の電源供給システムを設計する上で、パッケージ上の制約事項となっており、技術革新が必要とされている。

熱特性要求

温度管理の善し悪しが、パッケージの動作性能や長期信頼性に大きな影響を与える。ITRS が予想する長期ロードマップの 2020 年頃には、チップのジャンクション温度を維持するための放熱能力が不足する。空冷ヒートシンクではジャンクションから雰囲気までの熱抵抗が大きすぎるためである。現在は、チップの何十倍もあるような巨大なヒートシンクが、ヒートスプレッダや様々な熱伝導媒体(TIM)を介してチップに装着されている。これは、チップと雰囲気の間を高熱抵抗物質を挿入しているばかりか、電子機器の高密度実装の制約となっている。そして、それは配線長が長くなることを意味し、伝送遅延を引き起こし、消費電力の増加とバンド幅の低下、接続損失を引き起こしている。具体的には、ITRS の予測によると、14nm 世代の高性能チップの電力密度は 100 W/cm² を超えるので、ジャンクションから雰囲気までの熱抵抗は 0.2°C/W 未満にする必要がある(注:現在でも 100W/cm² は存在する)。ジャンクションから雰囲気までの熱抵抗の低減は、TIM とヒートシンクの熱抵抗によって制約されている。TIM には、最も優れた熱伝導率と、チップが作動中にも安定した機械的特性と、高い粘着力、接続する双方の凹凸面を埋め込む順応性が要求される。この要求にこたえるために TIM 材料が研究されている。その中でも、カーボンナノチューブは非常に高い熱伝導率を有するので、TIM の中にマトリクス上に埋め込んだものが研究されている。[1, 2]この材料に関しては Emerging Research Materials の章に詳細に記述している。

ホットスポット

一般的に、部品自体の放熱方法はホットスポット部の放熱手段によって決まっている。部品の消費電力が同じであっても、ホットスポットがあれば、高い熱密度によってデバイスの性能は制限される。これは SiP にとっても重要なことであるが、SoC やハイパワーのレーザやダイオード、RF など、チップ全体の平均よりも顕著に局部発熱を伴うデバイスについても同様である。

新しい水冷方式や相変換方式(液相から気相へ)などの強制冷却は、今日ではわずかにしか使われていない。この冷却方式については、本章の 5 節に詳細を記述した。これらの方式により、低い熱抵抗が実現し、高い熱拡散能力によってホットスポット現象が解決されるであろう。

応力特性要求

最終製品の機能性の改善と、フレキシビリティへの限りない開発が、未来の電子産業へと続く重要な駆動力になるだろう。設計期間や市場投入期間がますます短くなる現在では、設計や開発、そして検証の各段階においてミスをする余地はない。一方で、チップとパッケージの複合構造の中で発生する熱応力ストレスの下で、集積回路の限りない大規模化と low-k 誘電層の新たな導入により、誘電層へのダメージが懸念されている。電子製品の鉛フリー化やハロゲンフリー化の規制は、温度上昇によるストレスや、それに対応する新材料の採用、新しい材料界面構造をパッケージにもたらした。さらに、チップ積層パッケージや PoP (Package on Package)、PiP (Package in Package)、ウェーハレベルパッケージなど新規パッケージタイプによって、新しい不良メカニズムが発生している。パッケージング産業は共通のプラットフォームにデジタル、RF、MEMS、光電子部品、ディスプレイなど、多様なデバイス技術を集積するという課題に直面するだろう。拡大し続ける民生品市場は、信頼性基準に新たなパラダイム・シフトをもたらした。例えば、落下試験は、各種の試験方法によって、携帯電話や他の携帯電子機器用部品に適用され

ている。最終製品の信頼性を確立するためには、応力モデルや熱解析モデル、そして解析ツールに焦点を当てた研究を推進する必要がある。

応力モデルと解析

電子部品のパッケージは、スケールの複合、物理の複合、材料の複合、材料界面システムの複合が全て収斂した古典的な例といえる。寸法のスケールは nm から cm まで広がっている。構成材料もシリコンやガラスなどの無機物や、低誘電率化を目指した多孔質絶縁材料など、機械的特性が硬いもの、脆いものがある反面、はんだやポリマ、温度と時間に依存性のある非線形なポリマ複合材料などの柔らかい材料まである。材料の反応についても、弾性体から温度/時間依存性が非線形のものまで様々である。パッケージ構造の予想可能な熱応力・動力学モデルに対して実用的で使いやすいツールを持つことは非常に重要である。それによって、パッケージ技術者は、開発段階でも不良モードや不良メカニズムを予想できるようになる。このツールは設計や材料、製造プロセスにおいてトレードオフの選択を可能にし、最終的には特色、性能、コスト、そして市場への投入時間などトレードオフの選択まで可能となる。このように予測可能なモデルツールはデバイス・パッケージの協調設計環境に組み込まれるべきであろう。熱、電気、熱流体、そして応力特性の複合解析もまた必要である。

応力解析とモデリングの際には、材料加工段階から使用環境にいたるまで、材料特性データを把握しておく必要がある。ポリマと金属間や、ポリマ同士間における破断強度や微小領域における応力特性など、界面特性を把握するべきであろう。この分野の難しさはその微小さに起因する。材料のバルク特性は薄膜状態にそのまま適用できるわけではない。界面効果や粒子の大きさ、プロセスや隣接物質による残留応力が非常に重要になる。バルクと界面反応を測定するために、サブミクロン厚の薄膜を扱う度量衡学が必要となる。はんだとバリアメタル(UBM)の反応により、温度と時間に依存して成長する金属間化合物のような物質特性の把握が必要である。機械的ストレスと共に発生するサーマル・マイグレーションや、エレクトロ・マイグレーションなど、物理的な不良メカニズムを理解して、実用寿命の推定のためにモデル化を行うべきである。

また、パッケージ内で応力と熱が薄膜(例えばシリコン内層膜)に加えられた状態で、ストレスまたは歪みを効率的に測定できる度量衡学を開発する必要がある。例えば、現在の最先端装置の解像度は 1~2 ミクロンの間であるが、サブミクロンの解像度を持つ干渉分光法に基づいた測定技術が必要となる。画像相関方式やマイクロ・ラマン分光分析、サブミクロンの長さを測定できる PZT センサなど、既存技術を進化させることも必要である。

コスト

単位機能に対する継続的なコスト低減は、エレクトロニクス産業の成長の鍵となっている。これは、歴史的にウェーハ製造プロセスのスケールアップとデザインの進歩を通して達成されてきた。組立とパッケージングのコストは、ウェーハ製造のコストダウンに追従できず、そして、今日では、組立コストはしばしばシリコンチップの製造コストを上回ることがある。コスト低減への取組は、パッケージングでいくつかのコスト増加要因でより難しくなっている。鉛フリーのはんだ材料、Low-K 材と High-K 材は、従来の材料より高価である。より高いプロセス温度と携帯用の電子機器に関連する、より広い環境温度範囲により、新しくより高価な基板と接続技術が必要となろう。パワー密度の増加とジャンクション温度の低下は、より効果的な放熱設計を必要とする。

より低コストのパッケージングを達成するための新技術が要求される。ウェーハ・レベル・パッケージとシステム・イン・パッケージ(SiP)は、コスト低減とウェーハプロセスと同様の高集積化を達成するための革新的なアプローチです。

信頼性

パッケージングの急激な革新は、エリアレイパッケージを含む新しいパッケージ形態の導入で明らかである;リードレスパッケージ、チップダレクトチップ接続、ウェーハ・レベル・パッケージ (WLP)、等のパッケージを含む。加えて、Cu/LowK 材料、柔軟性の必要に対応した接続、そして、高放熱と高速に対応した新技術が要求される。例えば、法律で施行される鉛フリーや、ハロゲンフリーなどの新しい環境への法規制と、極限環境での電子機器の使用もまた急激な革新を必要とする。これらの新しい材料の導入と構造には、新しい信頼性課題が生じる。市場の要求を満たすために、非常に高い信頼性が個々のトランジスタに必要となると、それらが同時に発生する。

一部の新しいパッケージ・デザイン、材料と技術は、全ての市場が要求する信頼性を満たすことが出来る訳ではない。市場に信頼できる新しいパッケージ技術をもたらすためには、最終製品の使用状態とそれに関連した故障メカニズムを熟知することが必要である。

電子部品の信頼性を決定する多くの要因がある。必ず考慮すべき要因は、全てのシステムに対して共通しているが、優先度は製品ごとによって変わる。民生品は、その使用状態により高い熱サイクル数と、振動と落下によるより大きな機械的ストレスを受けることがある。

民生品の保管と使用環境は、その他の部品より広い条件を持つ。将来の部品の信頼性必要条件を満たすには、新たなツールと手法が必要となる。

- 例:
- 故障分類標準
 - 故障メカニズムの検証
 - 故障分析技術の改善
 - 電気/熱/機械のシミュレーション
 - 確かな加速要因をもつ寿命モデル
 - 信頼性内容に応じたテスト手段
 - 早期警告の仕組み

チップ層間の寄生容量を減少させるための Low-K ILD は、有機基板へのチップ実装で熱的・機械的信頼性の維持を難しくさせた。[3,4] Low-K ILD の脆弱な性質と周辺材料との弱い接着力に対し、熱サイクルやウェーハでのプロービングで受けるストレスを最小にすることが重要となってきた。

シリコンチップ (3ppm/°C) と有機基板 (17ppm/°C) の熱膨張率の大きな差が、ILD 材料と界面の剥離を引き起こすことがわかった。この現象が、チップに対する機械的ストレスを最小にする新しい I/O 接続技術の研究の推進力となった。このためには、新しいアンダーフィル材料が必要となる。加えて、アンダーフィルを不要とする機械的に柔軟なはんだバンプが、解決策候補となる。

柔軟な接合構造に加えて、薄いはんだ接続と銅ポストバンプ構造 (Figure AP1 と AP2) およびマイクロバンプ (直径: <20µm) が、接続の信頼性を改善するのに使われる。接続方法の選択は、チップサイズ、厚さと接続密度による。

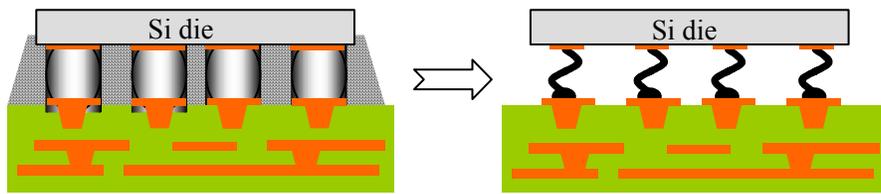
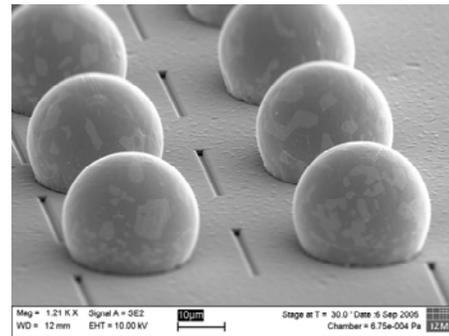
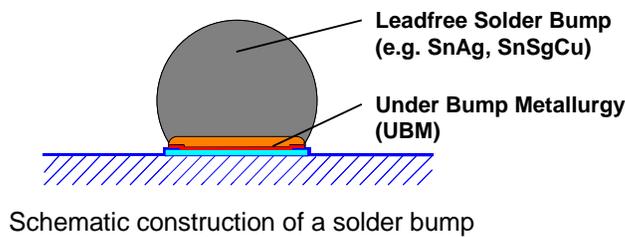
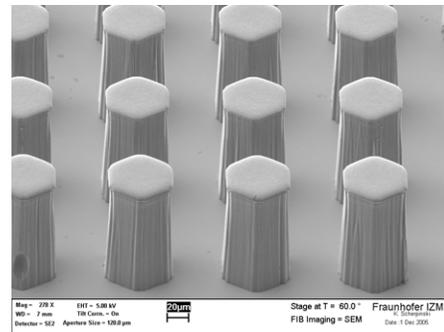
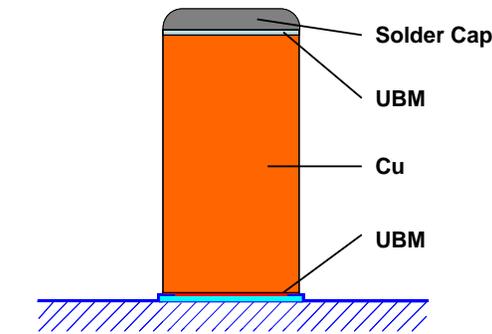


Figure AP1 The Use of Compliant/Flexible Electrical I/O Can Potentially Eliminate the Need for Underfill



SnAg microbump (20 μm diameter)



Cu pillar bump (height: 80 μm)

Figure AP2 Micro Bump and Pillar Bump Structures for High Reliable Chip-to-substrate Interconnects

基板へのチップ実装

新しいパッケージ構造の要求により、チップの基板への接続方法が増えている。それを Table AP3a と b に示す。この表では、”System in Package の章”で述べる 3D パッケージングと SiP への応用に使われる貫通シリコンビア (TSV) とウェーハにウェーハ、ウェーハにチップの直接ボンドについては言及しない。ワイヤボンドとフリップチップに加えて、薄膜技術やはんだボールを

14 Assembly and Packaging

介してチップを基板へ直接接続する新しい接続方法が出現してきた。(Wafer Level Package の章を参照)

Table AP3a Chip-to-package Substrate Technology Requirements—Near-term Years

<i>Year of Production</i>	2007	2008	2009	2010	2011	2012	2013	2014	2015
<i>DRAM ½ Pitch (nm) (contacted)</i>	65	57	50	45	40	36	32	28	25
<i>MPU/ASIC Metal 1 (M1) ½ Pitch (nm)</i>	68	59	52	45	40	36	32	28	25
<i>MPU Physical Gate Length (nm)</i>	25	23	20	18	16	14	13	11	10
Wire bond—single in-line (micron)	40	35	35	35	30	30	30	30	25
Two-row Staggered Pitch (micron)	55	50	45	45	45	40	40	40	40
Three-tier Pitch (micron)	60	60	60	55	55	50	45	45	45
Wire bond—Wedge pitch (micron)	25	25	20						
Tape-automated Bonding (TAB)	35								
Flying Lead (micron)	35								
Flip Chip Area Array (both organic and ceramic substrate)(micron) (ASIC)	130	130	130	130	120	110	110	100	100
Flip Chip Area Array (organic substrate)(micron) (CPU, GPU, Chipset)	160	160	150	150	150	130	130	130	110
Flip Chip on Tape or Film (micron)	25	15	10						

Table AP3b Chip-to-package Substrate Technology Requirements—Long-term Years

<i>Year of Production</i>	2016	2017	2018	2019	2020	2021	2022
<i>DRAM ½ Pitch (nm) (contacted)</i>	23	20	18	16	14	13	11
<i>MPU/ASIC Metal 1 (M1) ½ Pitch (nm)</i>	23	20	18	16	14	13	11
<i>MPU Physical Gate Length (nm)</i>	9	8	7	6.3	5.6	5.0	4.5
Wire bond—single in-line (micron)	25						
Two-row Staggered Pitch (micron)	35						
Three-tier Pitch (micron)	45						
Wire bond—Wedge pitch (micron)	20						
Tape-automated Bonding (TAB)	35	15	15	15	15	15	15
Flying Lead (micron)	35						
Flip Chip Area Array (both organic and ceramic substrate)(micron) (ASIC)	100	95	95	95	90	90	90
Flip Chip Area Array (organic substrate)(micron) (CPU, GPU, Chipset)	110	110	110	100	100	100	100
Flip Chip on Tape or Film (micron)	10						

Table AP3a&b への注記:

高度な微細チップに対するパッケージボンディングは、この表中の技術の代替として TSV やバンプレス等の内部接続が使われる。

微細ピッチ技術は、大部分のカテゴリーで可能であるが、コストの問題を持つ。

ワイヤボンド

ワイヤボンドは、半導体産業を牽引してきた。半導体デバイスの接続方法として主流となっている。リードフレームや有機基板にワイヤボンドされ、エポキシ樹脂で樹脂封止された IC デバイスは、長い間業界の標準である。ワイヤボンド技術は、度重なる物理的な限界予測にもかかわらず、新しい概念と技術の進歩で継続している。多段ワイヤボンドは、IO 増加の要求を満たす現実的な解決策である。ワイヤボンドによるチップ積層技術は、SiP やメモリパッケージに対し広く使われている。

より薄くてより高密度に集積されたパッケージに対し、より低ループのワイヤボンドが必要である。革新的なフォワードボンドでは、 $50\mu\text{m}$ のループ高さが実用化されている。 Figure AP3 参照。

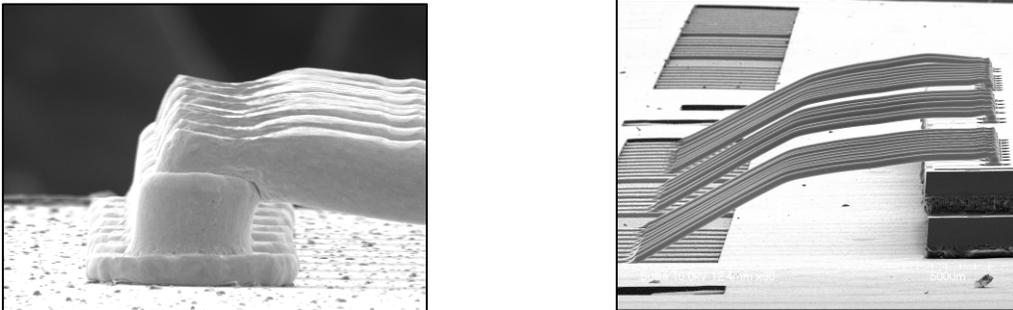


Figure AP3 Examples of Forward Bond Loop

一方、 $20\mu\text{m}$ ワイヤで $50\mu\text{m}$ のループ高さのリバースボンドも報告されている。下記の Figure AP4 と Figure Ap5 に示すのは、横置き構造パッケージでチップからチップへのボンディングと階段状に積層されたチップのカスケードボンディングの例である。

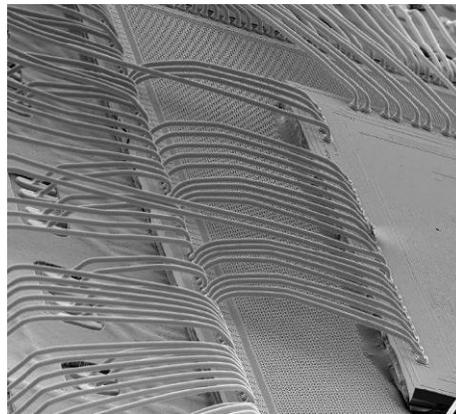


Figure AP4 Example of Die-to-die Wire Bonding

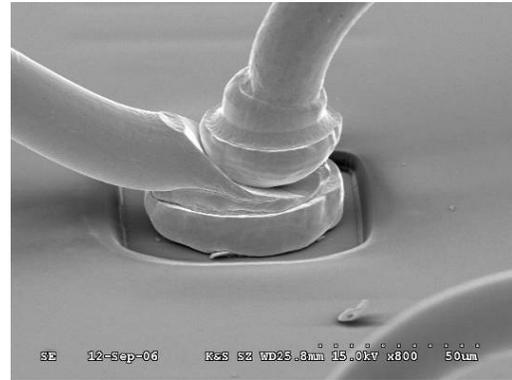
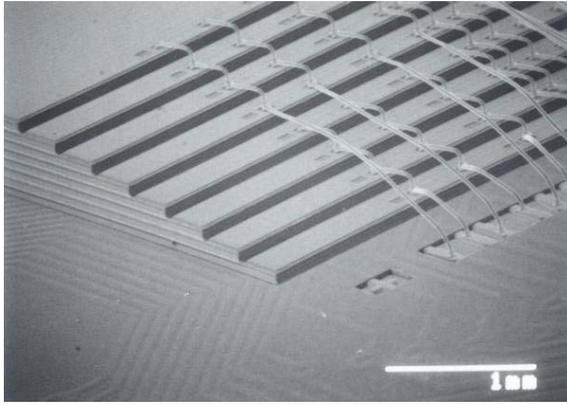


Figure AP5 Example of Cascade Bonding

技術課題は、Figure AP6 と Figure AP7 に示すオーバーハングチップのボンディングとリードフレーム両面でのワイヤボンドである。

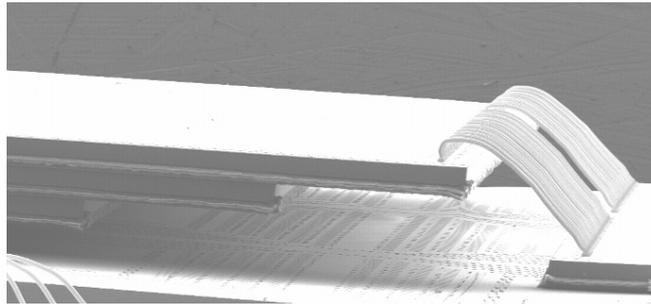


Figure AP6 Bonding Overhang Die

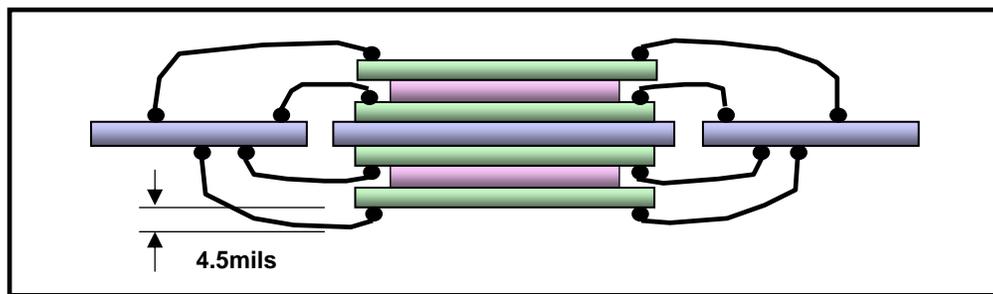


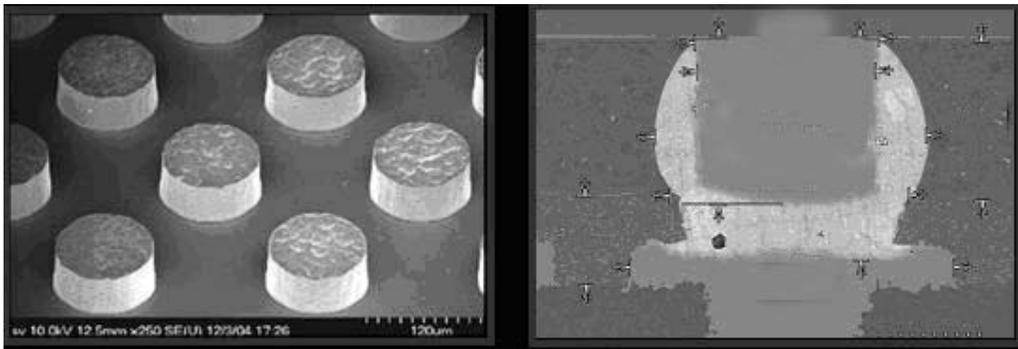
Figure AP7 Wire Bond on Both Sides of Lead Frame Substrate

ワイヤボンドタイプの樹脂封止パッケージでは、設計・ツール・材料・製造プロセスと設備に渡り、ワールドワイドな生産基盤とサプライチェーンが確立されている。積層チップの直近の課題は、小型家電製品用の小型パッケージに適合する低ループボンディングである。これらの小型パッケージに対しては、モールド樹脂材料の流動性やフィラーサイズの改善が必要とされる。生産効率とコスト削減のために、高速ワイヤボンダー、大型基板の組立、そして、効率的なモールドプロセスの開発が行われている。ワイヤボンドパッケージでは、総パッケージ・コストに占め

る金線のコスト比率が大きい。狭ピッチ対応のための $20\mu\text{m}$ 金線は、高価な金価格に対しコスト削減となる。長期的には、このようなコスト改善も限界に近づいており利益確保を圧迫している。業界では、金ワイヤに代わる銅線を低コストワイヤボンダ材料として取組んでおり、接続技術のコスト削減に継続して貢献するであろう。銅線のワイヤボンドは、 $50\mu\text{m}$ 径と厚いボンダパッドで行われてきたが、一般的なファインピッチボンダにおいて金線から銅線に切り替えるには、サプライチェーン全体での相当の努力が必要である。

フリップチップ

フリップチップとワイヤボンドは、チップと基板を接続する標準プロセスである。フリップチッププロセスは、当初セラミックモジュールのマルチ・チップ・アプリケーションに対して開発された。それは、マイクロプロセッサやグラフィックプロセッサなどで、有機基板へのチップ接続の標準となった。狭ピッチに対応した大量生産用の安価な基板と無欠陥アンダーフィルの調達が困難な理由と、鉛フリーでの高温化、高 T_j 、電流密度の増加による理由でフリップ・チップ・ピッチが $150\mu\text{m}$ に制限されている。このような用途に対しては、将来の主要技術と市場の用途に適合するために、アンダーフィル、バンプバリアメタル構造、高鉛はんだや鉛フリーの選択、そして TIM 材料の改善が必要である。ウェーハ銅ポストバンプは、マイクロプロセッサに導入され始めた。その利点は、バンプの無鉛化の可能性を持った高い電氣的 / 熱的性能である。



(a)

(b)

Figure AP8 Examples of Copper Pillar Bumps (a) and Assembled Copper Pillar (b)

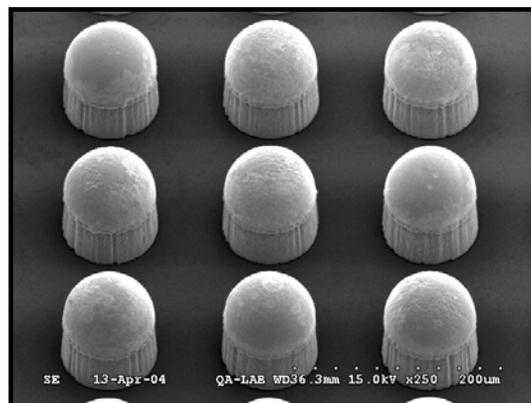


Figure AP9 Example of Copper Pillar Bumps with Solder Tips

マイクロプロセッサ、グラフィクスやゲーム・プロセッサ以外のアプリケーションのフリップチップパッケージには他にも技術的な要求がある。例えば、小さなチップの場合、アレイピッチも開口径もパッケージ寸法も一般的に小さくなる。落下試験は、携帯機器では重要である。ビルドアップ基板の相対コストは、非常に高い。これらのフリップチップパッケージは、他のフリップチップやワイヤボンダパッケージの上に積層される場合もある。アナログと RF IC は、デジタルアプリケーションに比較して異った電氣的要求がある。それらに対する解決策候補には、バンプバリエタルの最適化、銅ポストバンプ、または他の柔軟な接続、アンダーフィルを使わない各種のモールドプロセス、フラックスを使わないリフローと PoP/PiP のパッケージ構造がある。新世代のフリップチップ構造、材料、製造プロセスと設備には、“More than Moore”の産業界に貢献するチャンスがある。

樹脂封止

従来のゲート構造のモールドは、パッケージ業界に貢献してきた。複雑な積層チップや SiP パッケージの樹脂封止は、ワイヤ変形と歩留損失のリスクがある。新開発のトップセンターモールドゲート(TCMG)は、トップゲートから放射状に広がる樹脂の流れでワイヤ変形を押さえ、樹脂がファインピッチボンダの間を移動する時に起こるフィラー分離を最小にすることが出来る。また、ゲートの接触面積の縮小と設計の工夫によるゲートブレイクの応力最適化が出来るため、基板と樹脂界面の応力を減す手法にもなっている。TCMG は、チップと金型間の隙間を小さくでき、薄いパッケージ、特に 300 μm 以下の樹脂厚のモルディングに適している。

そして、コンプレッションモールドは市場で展開され始めた。液状モールド樹脂は、基板がモールド金型に置かれる前に基板上に供給される。ワイヤ変形を防ぐためには、無ゲートが必要で注入スピードも最小にされる。フリップチップへのアンダーフィルのトランスファモールドが新たなパッケージ技術として検討されている。

薄型パッケージは反りやすく、low-k 誘電膜を使ったチップは応力に敏感である。両方の問題に対し、低応力の樹脂が開発されている。

モールドでのワイヤショートの問題を回避する新たな取組は、被覆ワイヤの使用である。ここ数年にわたって被覆ワイヤが開発されてきて、ある技術レベルに達してきた。しかし、被覆ワイヤの高いコストが、その応用を制限し産業界への拡大を妨げている。

チップの積層高さを低くするために、ワイヤの上にダイボンダし、その後の熱処理でワイヤを包み込む新しい材料が検討されている。このアプローチは、新たな作業コストが加わるが、他のプロセスの代替になるので単なるコスト積上げにならなく、このアプローチは容易に展開されるだろう。

パッケージ基板とボードの接続

リードフレーム

リードフレームは、30 年以上の間、低コストと高い信頼性を達成してきた。リードフレームは、パッケージデザインとプロセスの革新で継続した発展が期待されている。環境と健康の規制により鉛の排除が要求され、関連して新しい努力目標が現れた。鉛から錫への動きは、いまだ完全に解明されていない錫のウイスキー問題への挑戦にもなる。信頼性と低コストの改善に対し、例えば、NiPd、Cu、鉛フリーはんだ合金を基本とした新しいめっき材料が必要となる。他に、QFN

や QFP のような平面実装パッケージの端子数の増加でより高い接続密度と熱放散を達成する課題がある。

高密度接続

実装基板へのデバイス実装密度が継続して増加し、そして機能と端子数の増加でデバイスサイズも大きくなっている。端子数の増加は、パワー密度の維持とデータ通信幅の増加に関連している。動作電圧が低下しつつも、トランジスタ数と速度が増していく中で、電源の安定をはかり電源とグランドの変動を抑えて大電流を取り扱うために多くの端子が必要となる。基板の配線幅と間隔の微細化が遅く、配線密度は徐々に増加する。実装密度増加に対しては、実装基板とパッケージの BGA パッド・ピッチを縮小することがより効果的である。

従来パッケージでの最大端子密度は、2014 年に FBGA でエリアアレイピッチが 100um になると予測されている。(STRJ-WG7 注記;誤記と思われる。ITRS2007 版においては、FBGA の 2014年のボールピッチは、0.2mm である。2022 年においても、0.15mm である。)より高い端子密度と小さなパッドは、接合信頼性とパッケージのボールコープラナリティの問題を起す。接合の信頼性は、パッド設計の改善、はんだ金属の組成と表面仕上げの改善、そして場合によっては基板実装後のアンダーフィルによって達成される。コプラナリティの問題は、基板材料とデザインの改善、高温でのパッケージ挙動の十分な認識、そしてボール搭載以前の工程でコプラナリティに影響するプロセスの改善が必要である。既存パッケージの端子ピッチを、Table AP4a と b に示す。チップとシステム基板、またはチップとチップのより高い端子密度の接続は、TSV 構造で実現される。

Table AP4a Substrate to Board Pitch—Near-term Years

<i>Year of Production</i>	2007	2008	2009	2010	2011	2012	2013	2014	2015
<i>DRAM ½ Pitch (nm) (contacted)</i>	65	57	50	45	40	36	32	28	25
<i>MPU/ASIC Metal 1 (M1) ½ Pitch (nm)</i>	68	59	52	45	40	36	32	28	25
<i>MPU Physical Gate Length (nm)</i>	25	23	20	18	16	14	13	11	10
<i>BGA Solder Ball Pitch (mm) Conventional system Board</i>									
Low-cost and hand-held*	0.65	0.65	0.65	0.65	0.5	0.5	0.5	0.5	0.5
Cost-performance	0.65	0.65	0.65	0.65	0.5	0.5	0.5	0.5	0.5
High-performance	0.8	0.8	0.8	0.8	0.65	0.65	0.5	0.5	0.5
Harsh	0.8	0.65	0.65	0.65	0.65	0.5	0.5	0.5	0.5
<i>Small portable products</i>									
Low-cost and hand-held	0.65	0.65	0.65	0.5	0.5	0.5	0.5	0.5	0.5
Harsh	0.65	0.65	0.65	0.65	0.5	0.5	0.5	0.5	0.5
<i>CSP area array pitch (mm)</i>	0.2	0.2	0.2	0.2	0.15	0.15	0.15	0.1	0.1
QFP lead pitch (mm)	0.4	0.3	0.2						
SON land pitch (mm)	0.4	0.4	0.4	0.3	0.3	0.3	0.3	0.3	0.3
QFN land pitch (mm)	0.4	0.3							
P-BGA ball pitch (mm)	0.8	0.8	0.8	0.65	0.65	0.65	0.65	0.65	0.65
T-BGA ball pitch (mm)	0.65	0.65	0.65	0.5	0.5	0.5	0.5	0.5	0.5
FBGA ball pitch (mm)	0.4	0.3	0.3	0.3	0.2	0.2	0.2	0.2	0.2
FLGA land pitch (mm)	0.4	0.3							

*最小値はハンドヘルド用途が牽引する。

Table AP4a Substrate to Board Pitch—Long-term Years

<i>Year of Production</i>	2016	2017	2018	2019	2020	2021	2022
<i>DRAM ½ Pitch (nm) (contacted)</i>	23	20	18	16	14	13	11
<i>MPU/ASIC Metal 1 (M1) ½ Pitch (nm)</i>	23	20	18	16	14	13	11

MPU Physical Gate Length (nm)	9	8	7	6.3	5.6	5.0	4.5
<i>BGA Solder Ball Pitch (mm) Conventional system Board</i>							
Low-cost and hand-held*	0.5	0.5	0.5	0.5	0.5	0.5	0.5
Cost-performance	0.5	0.5	0.5	0.5	0.5	0.5	0.5
High-performance	0.5	0.5	0.5	0.5	0.5	0.5	0.5
Harsh	0.5	0.5	0.5	0.5	0.5	0.5	0.5
<i>Small portable products</i>							
Low-cost and hand-held	0.5	0.5	0.5	0.5	0.5	0.5	0.5
Harsh	0.5	0.5	0.5	0.5	0.5	0.5	0.5
CSP area array pitch (mm)	0.1	0.1	0.1	0.1	0.1	0.1	0.1
QFP lead pitch (mm)	0.2	0.2	0.2	0.2	0.2	0.2	0.2
SON land pitch (mm)	0.3	0.3	0.3	0.3	0.3	0.3	0.3
QFN land pitch (mm)	0.3	0.3	0.3	0.3	0.3	0.3	0.3
P-BGA ball pitch (mm)	0.65	0.65	0.65	0.65	0.65	0.65	0.65
T-BGA ball pitch (mm)	0.5	0.5	0.5	0.5	0.5	0.5	0.5
FBGA ball pitch (mm)	0.15	0.15	0.15	0.15	0.15	0.15	0.15
FLGA land pitch (mm)	0.3	0.3	0.3	0.3	0.3	0.3	0.3

*最小値はハンドヘルド用途が牽引する。

パッケージ基板

有機基板

パッケージ基板は、パッケージで最も高価な部品で、パッケージの性能を決める要因でもある。パッケージ基板の技術開発は、ロードマップのコストと性能の予測を満足することが求められる。市場要求を満たす基板特性を、Table AP5a~d に示す。

フィルムタイプの樹脂は、ビルドアップ基板の絶縁体として広く使われている。フィラーとアラミドの不織布基材によるフィルムの補強材が導入されている。これらの材料の改善は、小型化、低熱膨張、電気的特性等の要求に基づいて進められている。コア材は、アラミド補強材のリジッド基板の動向に従っている。絶縁膜としては、液晶ポリマー (LCP) や他の熱可塑性樹脂も可能性があるが、まだ生産は初期段階である。

高周波用途に対しては、PTFE (フッ素樹脂) とシアネート材が使われている。コアレス基板は、組立工程での反りの問題を持っているので大量生産には到っていない。大量生産には、反りの改善を図る、より優れた基板の剛性が必要である。基板材料は、さらに鉛フリーの組立条件に対する耐熱強度の改善や、ハロゲンフリーでの難燃性の実現の環境問題に関係した改善に取り組んでいる。

高速伝送特性には、誘電率のさらなる低減と低損失材料が必要である。材料の誘電率の改善は、今日では、 $k \sim 3.4$ が可能である。材料は、 k 値を 2.8 まで低減できるが、基板市場への応用には、まだまだ高価すぎる。 $k \sim 2.5$ とそれ以下に対しては、低コスト化に有効な解決策がない。そのような低誘電率に対しては、新しい材料の開発が必要である。オレフィン系に基づく高耐熱性の熱可塑性樹脂は、このロードマップの「ERM の章」で示される新しい材料と同様に実現可能な材料である。これらは、多孔質構造の開発を含んでいる。誘電損は、1 桁減らす必要がある。PTFE と幾つかのシアネート樹脂は上記要求を満たすが、効果的なコストには到っていない。

ハロゲンフリー樹脂系への移行は、しばしば誘電特性を犠牲にしてきた。したがって、ハロゲンフリー樹脂においては、低誘電率で低損失、なおかつ低コストの新材料開発の努力が必要である。

配線と PTH の銅の膜厚が薄くなるにつれて、それらは縦方向の熱膨張に影響されやすくなってきた。それゆえに、縦方向の CTE は、コア材に対しては 20ppm/°C に、ビルドアップの絶縁

体では $10\text{ppm}/^\circ\text{C}$ に減らさねばならない。代表的なアプローチは、フィラーの添加であるが、それは、他の樹脂特性やプロセス条件に影響を及ぼす。

銅配線の接着力は、主に表面粗さ、樹脂中の銅のアンカー効果による物理的な接着力による。平均的な粗さ $R_z = 5\ \mu\text{m}$ は、原材料銅の厚さに近づき、それは、導体表面の大半を占める。銅材は平滑なので、絶縁体への接着に関しては十分な化学的接着が必要である。銅の接着は、配線とランドが絶縁体やソルダーマスクで被覆されるまでのプロセス条件に十分耐える接着力を持たねばならない。

ビルドアップとコアレス基板

有機基板の出現は、高性能フリップチップ・パッケージの構造を、プリント配線基板に基づくスルーホール技術に変えた。ビルドアップ技術の発明により、コア上に再配線の形成が可能になった。ビルドアップ層は微細配線技術とブラインドビアを使用した。コア基板は穴径の縮小によりプリント配線基板で広く使われてきた。

基板発展の次のステップは、ブラインドビアの穴径 $50\ \mu\text{m}$ と同等のビア径を持つ高密度コアを開発することであった。最初の基板は、パッケージ・ストレスを緩和するために、メタルコアでの PTFE 絶縁体をベースにしたものだった。高密度コア技術の強みは、配線とスペースが $25\ \mu\text{m}$ 以下で実現されるであろう。薄いホトレジスト ($<15\ \mu\text{m}$) と高い接着力、且つ粗さの小さい銅箔がその達成には必要である。

並行して、コアレス基板技術が開発されている。一般的なアプローチのひとつは、誘電体シートにビアを形成し、そのビアを金属ペーストで埋める事により基本の積層シート (building block) を作る。次にその基本の積層シートの両側に銅箔を貼り合わせることで第二の積層シートが形成される。続く回路形成で、この第二の積層シートが完成される。適切に選択された積層シートを貼り合わせる事により、あとは、外装処理を行うだけの基板が形成される。このプロセスの他の選択は、コンポジット材に貼り合わせによって回路形成された層を転写し、キャリア・シートの上に積層することである。いずれにせよ、誘電材料は、ほとんど補強されていない。従って、プロセス中の寸法安定性を維持することが重要である。知的財産権のある設計やプロセスを持つ、色々なコアレス技術が現れてきたが、供給能力の拡大、安定した品質の確保とコスト削減の強化のために市場開拓の努力が必要である。

リジッド基板技術

リジッド基板技術は、ハンドヘルドとハイパフォーマンスへの応用分野で区別される。ハンドヘルドでは、更に薄い基板の開発を推進している。量産ベースでの基板の総厚は、 $60\ \mu\text{m}$ のコアの場合、 $120\ \mu\text{m}$ にまで薄くなってきている。 $50\ \mu\text{m}$ コアと $35\ \mu\text{m}$ のプリプレーグは可能であるが、コストが非常に高く、また、これらの材料を量産するには生産装置の改善が必要である。次の段階では、液晶ポリマーのようなフィルムをベースにした材料となるであろう。これらの薄くて脆い材料を円滑に生産するためには、“roll to roll” の工程の導入が必要であろう。

ワイヤボンダタイプの高性能パッケージは、ポリマ層の代わりにプリプレーグ層を用いたビルドアップ技術のような、ブラインドビアを持つ高密度基板を活用している。より微細化を達成するためには、プリプレーグ層の総厚が $40\ \mu\text{m}$ 以下で、尚且つより均一な密度のグラスファイバかグラスマットからなるガラス繊維布が必要である。それから、積層後にワイヤボンダが可能な剛性を持つフィルム状の樹脂が開発されなければならない。一般に、適切な剛性を持つフィルム材料が無いことから、パターンニングの解像度の改善が進んでいない。パターンの形成方法は、サブトラクト法からパターンをめっきで作る、ビルドアップ法に移っている。

横置きまたは積層構造であっても、同一パッケージにフリップチップ接合とワイヤボンダ接合を行う場合には、基板の表面仕上に課題がある。フリップチップには、有機はんだでの表面保護処理 (OSP)、無電解 Sn、プレソルダーと、ワイヤボンディングには、電解 Ni/Au めっき。もしくは、フリップチップには、無電解 Ni-P/Au (ENIG) で、ワイヤボンダには電界 Ni/Au めっきと言う複合した表面仕上げが考えられる。各々のケースで量産を実現させるためには、組立と基板の製造プロセスの最適化が必要である。それゆえに、万能な表面仕上げの研究が活発になってきて、その中では無電界 Ni-P/Pd-P/Au めっき (ENEPIG) が有望である。この表面にはワイヤボンダが成され、表面実装と同様にフリップチップのはんだ接続も可能となる。この万能な表面仕上げのコストは、十分に受け入れられると思われる。

Table AP5a Package Substrates—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	23	20	18	16	14	13	11	10
<i>Glass Transition Temperature (°C)</i>									
Rigid Structure	220	230	230	230	230	230	230	230	230
Buildup with Reinforcement Material	220	230	230	230	230	230	230	230	230
Buildup without Reinforcement Material	200	210	210	210	210	210	210	210	210
Tape Structure	280	280	280	280	280	280	280	280	280
<i>Dielectric Constant (at 1GHz)</i>									
Rigid Structure	3.4	3.4	3.4	3	3	3	3	2.7	2.7
Buildup with Reinforcement Material	3	3	3	2.8	2.8	2.8	2.8	2.8	2.8
Buildup without Reinforcement Material	3	3	3	2.7	2.7	2.7	2.7	2.7	2.7
Tape Structure	3.5	3.5	3.5	3.5	3.5	3.5	3.5	3.5	3.5
Ceramics Structure/Low Dielectric Material	4	4	3	3	3	3	3	3	3
Ceramics Structure/High Dielectric Material	100	100	100	100	100	100	100	100	100
<i>Dielectric Loss (at 1GHz)</i>									
Rigid Structure	0.013	0.013	0.013	0.013	0.01	0.01	0.01	0.01	0.01
Buildup with Reinforcement Material	0.007	0.007	0.007	0.007	0.007	0.007	0.007	0.007	0.007
Buildup without Reinforcement Material	0.007	0.007	0.005	0.005	0.005	0.005	0.005	0.005	0.005
Tape Structure	0.005	0.005	0.005	0.005	0.005	0.005	0.005	0.005	0.005
Ceramics Structure	0.0005	0.0005	0.0005	0.0005	0.0005	0.0005	0.0005	0.0005	0.0005
<i>Coefficient of Thermal Expansion: X-Y Direction (ppm/°C)</i>									
Rigid Structure	12	10	10	8	8	8	8	6	6
Buildup with Reinforcement Material	12	10	10	10	10	10	10	10	10
Buildup without Reinforcement Material	40	20	20	20	20	10	10	10	10
Tape Structure	20	16	16	16	16	16	16	16	16
Ceramics Structure	3 – 12	4 – 12	4 – 12	4 – 12	4 – 12	4 – 12	4 – 12	4 – 12	4 – 12
<i>Coefficient of Thermal Expansion: Z Direction (ppm/°C)</i>									
Rigid Structure	30	25	25	25	25	20	20	20	20
Buildup with Reinforcement Material	30	20	20	20	20	20	20	20	20
Buildup without Reinforcement Material	40	20	20	20	10	10	10	10	10
Tape Structure	20	20	20	20	20	20	20	20	20
Ceramics Structure	3 – 12	4 – 12	4 – 12	4 – 12	4 – 12	4 – 12	4 – 12	4 – 12	4 – 12
<i>Water Absorption at 23°C/24hrs Dipped (weight %)</i>									
Rigid Structure	0.2	0.2	0.2	0.1	0.1	0.1	0.1	0.05	0.05
Buildup with Reinforcement Material	0.05	0.04	0.04	0.04	0.04	0.04	0.04	0.04	0.04
Buildup without Reinforcement Material	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1
Tape Structure	1	1	1	1	1	1	1	1	1
<i>Young's Modulus (GPa)</i>									
Rigid Structure	30	30	30	30	30	30	30	30	30
Buildup with Reinforcement Material	26	26	26	26	26	26	26	26	26
Buildup without Reinforcement Material	5	5	5	5	5	5	5	5	5
Tape Structure	3	3	3	3	3	3	3	3	3
Ceramics Structure	100-400	50-500	50-500	50-500	50-500	50-500	50-500	50-500	50-500
<i>Peel Strength from Cu (kN/m)</i>									
Rigid Structure	1.1	1.1	1.1	1.2	1.2	1.2	1.2	1.2	1.2
Buildup with Reinforcement Material	1.4	1.4	1.4	1.4	1.4	1.4	1.4	1.4	1.4
Buildup without Reinforcement Material	1.4	1.4	1.4	1.4	1.4	1.4	1.4	1.4	1.4
Tape Structure	1	1	1	0.8	0.8	0.8	0.8	0.8	0.8

Table ESH98aとbへの注記:

最高水準の材料は、量産に対しコスト要求を満たさない。

吸水テスト: JIS C6481

引剥がしテスト: IPC TM650 2.4.8

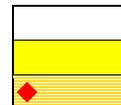
Table AP5b Package Substrates—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ Pitch (nm) (contacted)	23	20	18	16	14	13	11
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	23	20	18	16	14	13	11
MPU Physical Gate Length (nm)	9	8	7	6.3	5.6	5.0	4.5
<i>Glass Transition Temperature (°C)</i>							
Rigid Structure	230	230	230	230	230	230	230
Buildup with Reinforcement Material	230	230	230	230	230	230	230
Buildup without Reinforcement Material	210	210	210	210	210	210	210
Tape Structure	280	280	280	280	280	280	280
<i>Dielectric Constant (at 1GHz)</i>							
Rigid Structure	2.7	2.7	2.7	2.7	2.7	2.7	2.7
Buildup with Reinforcement Material	2.8	2.8	2.8	2.8	2.8	2.8	2.8
Buildup without Reinforcement Material	2.7	2.7	2.7	2.7	2.7	2.7	2.7
Tape Structure	3.5	3.5	3.5	3.5	3.5	3.5	3.5
Ceramics Structure/Low Dielectric Material	3	3	3	3	3	3	3
Ceramics Structure/High Dielectric Material	100	100	100	100	100	100	100
<i>Dielectric Loss (at 1GHz)</i>							
Rigid Structure	0.01	0.01	0.01	0.01	0.01	0.01	0.01
Buildup with Reinforcement Material	0.007	0.007	0.007	0.007	0.007	0.007	0.007
Buildup without Reinforcement Material	0.005	0.005	0.005	0.005	0.005	0.005	0.005
Tape Structure	0.005	0.005	0.005	0.005	0.005	0.005	0.005
Ceramics Structure	0.0005	0.0005	0.0005	0.0005	0.0005	0.0005	0.0005
<i>Coefficient of Thermal Expansion: X-Y Direction (ppm/°C)</i>							
Rigid Structure	6	6	6	6	6	6	6
Buildup with Reinforcement Material	10	10	10	10	10	10	10
Buildup without Reinforcement Material	10	10	10	10	10	10	10
Tape Structure	16	16	16	16	16	16	16
Ceramics Structure	4 – 12	4 – 12	4 – 12	4 – 12	4 – 12	4 – 12	4 – 12
<i>Coefficient of Thermal Expansion: Z Direction (ppm/°C)</i>							
Rigid Structure	20	20	20	20	20	20	20
Buildup with Reinforcement Material	20	20	20	20	20	20	20
Buildup without Reinforcement Material	10	10	10	10	10	10	10
Tape Structure	20	20	20	20	20	20	20
Ceramics Structure	4 – 12	4 – 12	4 – 12	4 – 12	4 – 12	4 – 12	4 – 12
<i>Water Absorption at 23°C/24hrs Dipped (weight %)</i>							
Rigid Structure	0.05	0.05	0.05	0.05	0.05	0.05	0.05
Buildup with Reinforcement Material	0.04	0.04	0.04	0.04	0.04	0.04	0.04
Buildup without Reinforcement Material	0.1	0.1	0.1	0.1	0.1	0.1	0.1
Tape Structure	1	1	1	1	1	1	1
<i>Young's Modulus (GPa)</i>							
Rigid Structure	30	30	30	30	30	30	30
Buildup with Reinforcement Material	26	26	26	26	26	26	26
Buildup without Reinforcement Material	5	5	5	5	5	5	5
Tape Structure	3	3	3	3	3	3	3
Ceramics Structure	50– 500						
<i>Peel Strength from Cu (kN/m)</i>							
Rigid Structure	1.2	1.2	1.2	1.2	1.2	1.2	1.2
Buildup with Reinforcement Material	1.4	1.4	1.4	1.4	1.4	1.4	1.4
Buildup without Reinforcement Material	1.4	1.4	1.4	1.4	1.4	1.4	1.4
Tape Structure	0.8	0.8	0.8	0.8	0.8	0.8	0.8

製造可能な解決策が存在し、最適化されている。

製造可能な解決策が知られている。

暫定的な解決策が知られている



製造可能な解決策が知られていない。



Table AP5c Package Substrate Design Parameters—Near-term Years

<i>Year of Production</i>	2007	2008	2009	2010	2011	2012	2013	2014	2015
<i>DRAM ½ Pitch (nm) (contacted)</i>	65	57	50	45	40	36	32	28	25
<i>MPU/ASIC Metal 1 (M1) ½ Pitch (nm)</i>	68	59	52	45	40	36	32	28	25
<i>MPU Physical Gate Length (nm)</i>	25	23	20	18	16	14	13	11	10
<i>Substrate cross-section core thickness (µm)</i>									
Handhelds	40	35	35	30	30	30	25	25	25
High density interconnect substrates	50	40	40	35	35	30	30	30	30
Build-up substrates (4 core layers)	200	150	130	100	90	80	80	70	70
Coreless buildup layer	40	40	35	35	30	30	30	30	30
<i>Blind via diameter (µm)</i>									
Handhelds	50	40	40	35	35	30	30	25	25
High density interconnect substrates	50	40	40	35	35	30	30	25	25
Build-up substrates	40	35	35	30	30	25	25	20	20
Coreless	60	50	50	40	40	35	35	30	30
<i>Blind via stacks</i>									
High density interconnect substrates	3	3	3	3	4	4	4	4	4
Build-up substrates	5	6	6	6	6	6	6	6	6
Coreless	10	11	11	11	12	12	13	14	14
<i>PTH diameter (µm)</i>	75	70	60	50	50	45	45	40	40
<i>PTH land (µm)</i>	180	160	140	120	110	105	105	100	100
<i>Bump pitch (µm)</i>									
High density interconnect substrates	190	180	170	160	150	140	140	130	130
Build-up substrates	130	120	110	100	100	90	90	80	80
Coreless	130	120	110	100	100	90	90	80	80
<i>Lines/space width (µm)</i>									
Rigid Structure	35	30	30	25	25	22	22	20	20
Build-up substrates (core layer)	35	30	30	25	25	22	22	20	20
Build-up substrate (build-up layer)	15	10	10	10	9	8	8	6.8	6.4
Coreless	20	15	15	10	9	8	8	6.8	6.4
<i>Lines/space width tolerance (%)</i>									
Handhelds	7	7	7	7	7	7	6	5	5
<i>Solder mask registration ± (µm)</i>									
Handhelds	20	15	15	15	12	12	11	10	10
High density interconnect substrates	20	15	15	15	12	12	11	10	10
Build-up substrates	25	20	20	15	12	12	11	10	10

Table AP5d Package Substrate Design Parameters—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ Pitch (nm) (contacted)	23	20	18	16	14	13	11
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	23	20	18	16	14	13	11
MPU Physical Gate Length (nm)	9	8	7	6.3	5.6	5.0	4.5
<i>Substrate cross-section core thickness (μm)</i>							
Handhelds	25	25	25	25	25	25	25
High density interconnect substrates	30	30	30	30	30	30	30
Build-up substrates (4 core layers)	70	70	70	70	70	70	70
Coreless buildup layer	30	30	30	30	30	30	30
<i>Blind via diameter (μm)</i>							
Handhelds	25	25	25	25	25	25	25
High density interconnect substrates	25	25	25	25	25	25	25
Build-up substrates	20	20	20	20	20	20	20
Coreless	30	30	30	30	30	30	30
<i>Blind via stacks</i>							
High density interconnect substrates	4	4	4	4	4	4	4
Build-up substrates	6	6	6	6	6	6	6
Coreless	14	14	14	14	14	14	14
PTH diameter (μm)	40	40	40	40	40	40	40
PTH land (μm)	100	100	100	100	100	100	100
<i>Bump pitch (μm)</i>							
High density interconnect substrates	130	130	130	130	130	130	130
Build-up substrates	80	80	70	70	70	70	70
Coreless	80	80	70	70	70	70	70
<i>Lines/space width (μm)</i>							
Rigid Structure	20	20	20	20	20	20	20
Build-up substrates (core layer)	20	20	20	20	20	20	20
Build-up substrate (build-up layer)	6.0	5.6	5.3	5.0	4.7	4.4	4.1
Coreless	6.0	5.6	5.3	5.0	4.7	4.4	4.1
Lines/space width tolerance (%)	5	5	5	5	5	5	5
<i>Solder mask registration ± (μm)</i>							
Handhelds	10	10	10	10	10	10	10
High density interconnect substrates	10	10	10	10	10	10	10
Build-up substrates	10	10	10	10	10	10	10

ウェーハ・レベル・パッケージング。

元来、ウェーハレベルパッケージング(WLP)は全ての IC パッケージプロセスをウェーハ状態で実施する技術として定義されてきた。WLP は、真のチップサイズパッケージを実現するべく、全てのパッケージ I/O 端子がチップアウトラインの内側に連続的に配置されている(ファン・イン・デザイン)という定義される。何本の I/O がチップ下におく事ができるか、また実装ボードの設計が可能かという事が WLP における制限として有る。小型化、動作周波数の増加、コスト低減と言った継続的な要求に対して、ワイヤボンディングやフリップチップといった従来のパッケージ技術では対応できない時に、WLP はその解決策となり得る。WLP 技術は、ウェーハレベルチップサイズパッケージ(WL-CSP)や、MEMS 上のウェーハキャップ、微細配線や集積受動素子の埋め込みが施されたウェーハレベルの基板等も含む。

ウェーハレベル CSP は、ウェーハレベルパッケージ製品として、市場に導入された第一世代である。今日、再配線層(RDL)を含めた WLP 技術(ファン・イン WLP)は広範囲の製品に使用されている。ファン・イン WLP は今日では小ピン、小チップの領域では広く使われて。これらは

主に、小型・軽薄が付加価値となる民生携帯機器の分野で使用されている。コスト面で優位な多層再配線が今後のトレンドである。

今や、製品のターゲットスペックを満たすべく、WLP は様々な構造が存在する。WLP の構造を Figure AP10 に示す。Table AP6a と b には技術要求値を示す。

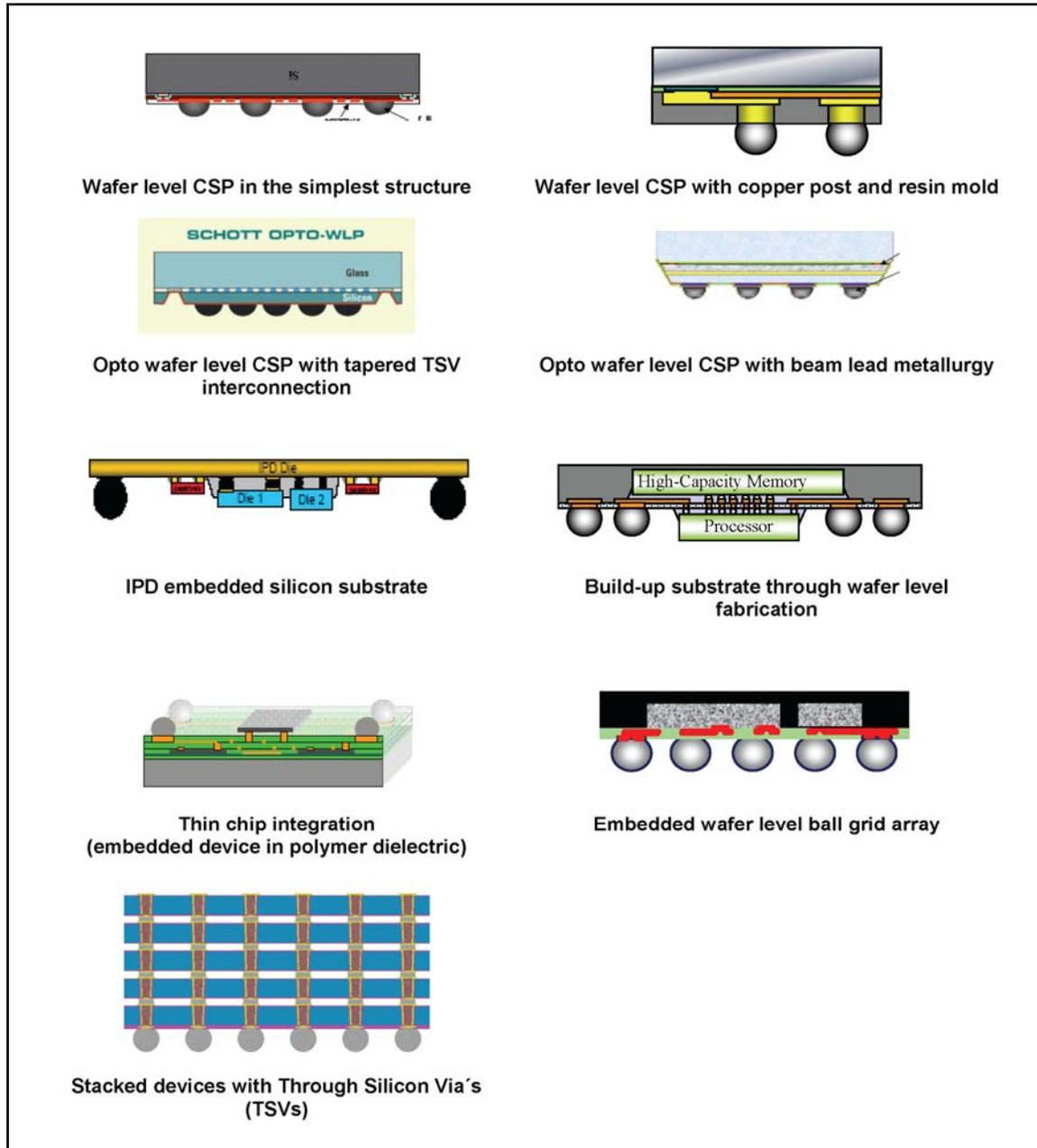


Figure AP10 Examples of Wafer Level Packaging Types

Table AP6a Wafer Level Packaging—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	23	20	18	16	14	13	11	10
Cost per Ball Minimum/Maximum for Contract Assembly [1,2] (Cents/Pin)									
a. Standard Logic and Analog/Linear Min	0.25	0.21	0.18	0.15	0.13	0.12	0.12	0.11	0.11
b. Standard Logic and Analog/Linear Max	0.55	0.47	0.40	0.34	0.29	0.27	0.26	0.25	0.23
Chip size (mm ²) (Min/Max)									
a. Memory	20 / 250	20 / 250	20 / 250	20 / 250	20 / 250	20 / 250	20 / 250	20 / 250	20 / 250
b. Standard Logic and Analog/Linear	0.85/9	0.75/10	0.55/11	0.50/12	0.45/13	0.40/14	0.35/15	0.30/15	0.25/16
c. Wireless: Bluetooth, FM, GPS, WIFI	.85/16	.75/25	.55/29	.50/34	0.45/36	0.40/38	0.35/40	0.30/42	0.25/46
Ball Metallurgy	SAC								
Number of RDL Layers									
a. Memory	1	2	2	3	3	3	3	3	3
b. Standard Logic and Analog/Linear	1	2	2	3	3	3	3	3	3
c. Wireless: Bluetooth, FM, GPS, WIFI	1	2	2	3	3	3	3	3	3
UBM Thickness (µm)									
a. Memory	1.5-10µm	1.5-50µm							
b. Standard Logic and Analog/Linear	1.1-10µm	1.1-50µm							
c. Wireless: Bluetooth, FM, GPS, WIFI	1.5-10µm	1.5-50µm							
UBM Metallurgy									
a. Memory	CuNi, TiCuNi, TiCu, Al/NiV/Cu, Ti/NiV/Cu, TiW/Cu,Cr- Cu								
b. Standard Logic and Analog/Linear	TiCuNi, TiCu, Al/NiV/Cu, Ti/NiV/Cu, TiW/Cu, Cr-Cu	TiCuNi, TiCu, Al/NiV/Cu, Ti/NiV/Cu, TiW/Cu,Cr- Cu							

Table AP6a Wafer Level Packaging—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	23	20	18	16	14	13	11	10
c. Wireless: Bluetooth, FM, GPS, WIFI	TiCuNi, TiCu, Al/NiV/Cu, Ti/NiV/Cu, TiW/Cu, Cr-Cu								
RDL Thickness									
a. Memory	2-10µm	2-12µm	2-15µm						
b. Standard Logic and Analog/Linear	2-10µm	2-12µm	2-15µm						
c. Wireless: Bluetooth, FM, GPS, WIFI	2-10µm	2-12µm	2-15µm						
RDL Metallurgy									
a. Memory	Al;TiAlTi;Cu								
b. Standard Logic and Analog/Linear	Al;TiAlTi;Cu								
c. Wireless: Bluetooth, FM, GPS, WIFI	Al;TiAlTi;Cu	Al;TiAlTi;Cu	Al; TiAlTi; Cu; Al/Cu						
Wafer Saw Street Width (µm)									
a. Memory	85µm	75µm	70µm	65µm	60µm	60µm	55µm	50µm	45µm
b. Standard Logic and Analog/Linear	50µm	50µm	40µm	40µm	35µm	35µm	35µm	30µm	30µm
c. Wireless: Bluetooth, FM, GPS, WIFI	85µm	75µm	70µm	60µm	55µm	55µm	50µm	45µm	40µm
Package Pincount Maximum									
a. Memory	150	175	200	200	225	250	275	275	275
b. Standard Logic and Analog/Linear	36	64	64	144	151	159	167	175	184
c. Wireless: Bluetooth, FM, GPS, WIFI	100	150	150	150	165	165	165	180	180
Embedded components thickness (µm) (Max/Min)									
a. Memory	100	100	100	75	75	75	75	70	70
b. Standard Logic and Analog/Linear	250/100	225/100	200/100	175/75	175/75	175/75	175/75	150/70	150/70
c. Wireless: Bluetooth, FM, GPS, WIFI	100	100	100	75	75	75	75	70	70
Type of WLP structure and metallurgy (bump, ball, column, solder, Cu, other)									
a. Memory	Ball								

Table AP6a Wafer Level Packaging—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	23	20	18	16	14	13	11	10
b. Standard Logic and Analog/Linear (P= polymer)	2ML/2P/ Plated Cu/Solder Bump/Ball	2ML/2P/ Plated Cu/Solder Bump/Ball/ Copper Pillar	2ML/2P/ Plated Cu/Solder Bump/Ball/ Copper Pillar	2ML/2P/ Plated Cu/Solder Bump/Ball/ Copper Pillar	2ML/2P/ Plated Cu/Solder Bump/Ball/ Copper Pillar	2ML/2P/ Plated Cu/Solder Bump/Ball/ Copper Pillar	2ML/2P/ Plated Cu/Solder Bump/Ball/ Copper Pillar	2ML/2P/ Plated Cu/Solder Bump/Ball/ Copper Pillar	2ML/2P/ Plated Cu/Solder Bump/Ball/ Copper Pillar
c. Wireless: Bluetooth, FM, GPS, WIFI (P=Polymer)	2ML/2P/ Plated Cu/Solder Bump/Ball	2ML/2P/ Plated Cu/Solder Bump/Ball/ Copper Pillar	2ML/2P/ Plated Cu/Solder Bump/Ball/ Copper Pillar	2ML/2P/ Plated Cu/Solder Bump/Ball/ Copper Pillar	2ML/2P/ Plated Cu/Solder Bump/Ball/ Copper Pillar	2ML/2P/ Plated Cu/Solder Bump/Ball/ Copper Pillar	2ML/2P/ Plated Cu/Solder Bump/Ball/ Copper Pillar	2ML/2P/ Plated Cu/Solder Bump/Ball/ Copper Pillar	2ML/2P/ Plated Cu/Solder Bump/Ball/ Copper Pillar
Stacked Die Wafer Level CSP (Max. dies)									
a. Memory	1	1	1	4	4	8	8	8	8
b. Standard Logic and Analog/Linear	2	2	3	3	3	3	3	3	3
c. Wireless: Bluetooth, FM, GPS, WIFI	2	2	3	3	3	3	3	3	3
Stacked Die Wafer Level CSP Interconnect method (Through silicon vias, face to face, others)									
a. Memory	Piggyback on underside	Piggyback on underside	Through Silicon Vias						
b. Standard Logic and Analog/Linear	Piggyback on underside. Std. stacked die with wire bond	Piggyback on underside. Std. stacked die with wire bond, F2F	Mix of wire bond and flip chip stacked dies. Through Silicon Vias						
c. Wireless: Bluetooth, FM, GPS, WIFI	Piggyback on underside	Piggyback on underside, F2F	Through Silicon Vias						

Table AP6b Wafer Level Packaging—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ Pitch (nm) (contacted)	23	20	18	16	14	13	11
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	23	20	18	16	14	13	11
MPU Physical Gate Length (nm)	9	8	7	6.3	5.6	5.0	4.5
Cost per Ball Minimum/Maximum for Contract Assembly [1,2] (Cents/Pin)							
a. Standard Logic and Analog/Linear Min	0.10	0.10	0.09	0.09	0.08	0.08	0.07
b. Standard Logic and Analog/Linear Max	0.22	0.21	0.20	0.19	0.18	0.17	0.16
Chip size (mm ²) (Min/Max)							
a. Memory	20 / 250	20 / 250	20 / 250	20 / 250	20 / 250	20 / 250	20 / 250
b. Standard Logic and Analog/Linear	0.20/16	0.18/17	0.16/17	0.14/18	0.12/19	0.11/20	0.10/20
c. Wireless: Bluetooth, FM, GPS, WIFI	0.20/48	0.18/50	0.16/52	0.14/54	0.12/56	0.11/58	0.10/60
Ball Metallurgy	SAC						
Number of RDL Layers							
a. Memory	3	3	3	3	3	3	3
b. Standard Logic and Analog/Linear	3	3	3	3	3	3	3
c. Wireless: Bluetooth, FM, GPS, WIFI	3	3	3	3	3	3	3
UBM Thickness (µm)							
a. Memory	1.5-50µm						
b. Standard Logic and Analog/Linear	1.1-50µm						
c. Wireless: Bluetooth, FM, GPS, WIFI	1.5-50µm						
UBM Metallurgy							
a. Memory	CuNi, TiCuNi, TiCu, Al/NiV/Cu, Ti/NiV/Cu, TiW/Cu,Cr- Cu						
b. Standard Logic and Analog/Linear	TiCuNi, TiCu, Al/NiV/Cu, Ti/NiV/Cu, TiW/Cu,Cr- Cu						

Table AP6b Wafer Level Packaging—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ Pitch (nm) (contacted)	23	20	18	16	14	13	11
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	23	20	18	16	14	13	11
MPU Physical Gate Length (nm)	9	8	7	6.3	5.6	5.0	4.5
c. Wireless: Bluetooth, FM, GPS, WIFI	TiCuNi, TiCu, Al/NiV/Cu, Ti/NiV/Cu, TiW/Cu,Cr-Cu						
RDL Thickness							
a. Memory	2-15µm						
b. Standard Logic and Analog/Linear	2-15µm						
c. Wireless: Bluetooth, FM, GPS, WIFI	2-15µm						
RDL Metallurgy							
a. Memory	Al;TiAlTi;Cu						
b. Standard Logic and Analog/Linear	Al;TiAlTi;Cu						
c. Wireless: Bluetooth, FM, GPS, WIFI	Al; TiAlTi; Cu; Al/Cu						
Wafer Saw Street Width (µm)							
a. Memory	45µm	40µm	40µm	40µm	35µm	35µm	35µm
b. Standard Logic and Analog/Linear	30µm	25µm	25µm	25µm	20µm	20µm	20µm
c. Wireless: Bluetooth, FM, GPS, WIFI	40µm	35µm	35µm	35µm	30µm	30µm	30µm
Package Pincount Maximum							
a. Memory	275	275	275	275	275	275	275
b. Standard Logic and Analog/Linear	193	203	213	223	235	246	259
c. Wireless: Bluetooth, FM, GPS, WIFI	180	195	195	195	210	210	210
Embedded components thickness (µm) (Max/Min)							
a. Memory	70	65	65	65	60	60	60
b. Standard Logic and Analog/Linear	150/70	140/65	140/65	140/65	135/60	135/60	135/60
c. Wireless: Bluetooth, FM, GPS, WIFI	70	65	65	65	60	60	60
Type of WLP structure and metallurgy (bump, ball, column, solder, Cu, other)							
a. Memory	Ball						

Table AP6b Wafer Level Packaging—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ Pitch (nm) (contacted)	23	20	18	16	14	13	11
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	23	20	18	16	14	13	11
MPU Physical Gate Length (nm)	9	8	7	6.3	5.6	5.0	4.5
b. Standard Logic and Analog/Linear (P= polymer)	2ML/2P/ Plated Cu/Solder Bump/Ball/ Copper Pillar						
c. Wireless: Bluetooth, FM, GPS, WIFI (P=Polymer)	2ML/2P/ Plated Cu/Solder Bump/Ball/ Copper Pillar						
Stacked Die Wafer Level CSP (Max. dies)							
a. Memory	8	8	8	12	12	12	12
b. Standard Logic and Analog/Linear	3	3	3	3	3	3	3
c. Wireless: Bluetooth, FM, GPS, WIFI	3	3	3	3	3	3	3
Stacked Die Wafer Level CSP Interconnect method (Through silicon vias, face to face, others)							
a. Memory	Through Silicon Vias						
b. Standard Logic and Analog/Linear	Mix of wire bond and flip chip stacked dies. Through Silicon Vias						
c. Wireless: Bluetooth, FM, GPS, WIFI	Through Silicon Vias						

フリップチップウェーハのバンプ(UBM、はんだバンプ、パシベーション、再配線、ウェーハ検査、ウェーハプローブ)プロセスと商業ベースでの装置の確立によって、ウェーハレベル CSP の生産技術を量産インフラの市場展開を可能にした。このインフラは High Performance と Cost Performance 市場におけるフリップチップパッケージの量産ニーズに対応して開発されてきた。

フリップチップアセンブリと異なり、WLP アセンブリでは普通、アンダーフィルは行わない。半田接合では、半田ボールは直径 250um 以上が使用されている。市場における最小ピッチは 0.4mm である。WLP のアンダーフィルは、落下テスト等の特別な信頼性が要求される場合に使用される。

従来のボール吸着方式による WLCSP の設計とプロセスは、今なお開発中である。その内容は、ストレス吸収層、ボードレベルアセンブリでのアンダーフィル、大チップ対応の応力吸収バンプ構造などである。銅再配線は高出力と信号の低損失が必要な製品に適用される。

銅再配線のプロセス開発は、銅スタッドや、インダクタ等の受動素子、ひいてはキャパシタや抵抗を形成する為に、実現・展開されてきた。これらの部品の組み合わせによってフィルタの製造が可能になる。これらの部品の WLP-SiP パッケージへの統合は三次元ウェーハインテグレーションに向けた次のステップの要素となる。

携帯電話や PDA と言った携帯民生機器においてメモリデバイスの使用量が増加している。WLP は、低コスト、電気特性と低消費電力と言った特質から、これらのアプリケーションに適している。これらのアプリケーションに対して WLP の利点を最大にする為に、コスト効果の高いテスト・バーンインの開発がキーポイントとなろう。

ウェーハレベルパッケージの開発と動向

今日の WLP 開発は、ウェーハプロセスによる同時処理技術が、従来のパッケージ・アセンブリ技術に対する代替技術に成り得るという認識で動機づけられている。WLP は半導体デバイス上のプロセスのみでなく、シリコンウェーハ上の集積受動素子(IPD)やウェーハレベルの基板となるガラス基板を成形するプロセスも含む。パッケージ基板にとって、微細デザインルールと、高密度受動素子を生み出すプロセス能力は魅力ある特徴である。絶縁体と配線はウェーハプロセス技術によってシリコン基板上に形成され、続くアセンブリはウェーハレベル基板上で実施される。ウェーハレベル基板はシリコン製でなく、製造プロセスから移されたウェーハ上に形成された絶縁層と配線である様な例もある。

パッケージ基板にとって、微細な設計ルールや集積受動素子の形成は魅力的な特徴である。ウェーハプロセス技術を用いてシリコン基板の上に誘電体や配線を形成し、ウェーハレベル基板にアセンブリすることが出来る。ウェーハレベル基板がシリコンを用いない場合も、誘電体層や配線はウェーハ上に形成される。

目下のところ、ウェーハレベルの色々な技術は、小型化、システムのパワーとコストを低減する一方で、増加する性能と機能の要求を目標に開発中である。この開発によって、シングルやマルチチップのウェーハレベルでより複雑な構造がもたらされる。

ウェーハレベル CSP は、ラフな取り扱いや線膨張係数の違いに対応する為に、銅ポスト端子と、厚い樹脂コートで構成される事もある。このパッケージはパワーアンプから CPU まで、様々な製品群に対して使用される。ボールピッチは 0.2mm 程度に微細化されている。

イメージセンサ用に特化されたウェーハレベル CSP はガラスで封止されたウェーハレベル CSP である。チップは透明なガラスで素子上を挟むカラミネートされ、TSV またはビームリードが形成され反対側に配置された端子と接続されている。

ウェーハ・レベル・パッケージ技術の今後の動向

将来のウェーハレベルパッケージ要求を満たす為に必要な開発項目は、以下が挙げられる。

- プロセス温度の低下、特に絶縁層のキュア
- シリコン中の受動素子または再配線中で実現する受動素子を含めたウェーハレベル基板
- 薄膜ポリマー層の形成による再配線層での集積受動素子
- 埋め込み能動／受動素子
- Si(メモリ、MPU)、MEMS、化合物半導体(InP、GaAs、GaN等)とSiGeデバイス等のウェーハレベルアセンブリ(ウェーハ上へのチップ搭載)
- 複合シールド(RFとパワー)
- 機能層の統合(actors、センサー、アンテナ)
- TSV形成、ウェーハ薄化及びウェーハ上の積層チップの位置合わせボンディング技術
- 光チップの内部接続

ウェーハレベルパッケージの開発は以下のいくつかの方向がある。

- 再配線をベースとした、大チップかつ高機能アプリケーション向けのプロセス(Fan-in)
- ファン・アウト設計(エンベデッド WLP の項を参照)
- チップ to ウェーハや 3次元構造と受動素子のインテグレーションを用いたシステム・イン・パッケージ(SiP)といった高機能複合アプリケーション。シリコン半導体デバイスや、受動素子が組み込まれたキャリアにおけるフェースダウン、フェースアップのアプローチを含む。
- TSV 技術に基づいた、IC チップ積層(複数メモリ、プロセッサ／ASIC／メモリ、MEMS)に代表される新しいアプリケーション
- ウェーハ同士の積層
- これらの WLP 技術は、高密度かつシステム能力への市場要求によって開発が牽引されている。(SiP の章を参照)

WLP の困難な技術課題

ウェーハレベルパッケージは狭ピッチ・大チップにおいても優れた信頼性が要求されている。その構造と材料は製品の仕様要求を満たす為に改良されてきた。この要求は MEMS デバイスにおいて特に顕著である。

主課題は以下の通り。

- 大チップに対する実装信頼性
- ウェーハレベルでの積層パッケージのテスト方法と複数チップでの新しい3次元アーキテクチャ
- ビア貫通チップ(WLP)とパッケージ(エンベデッドでのウェーハレベルのアーキテクチャ)
- 極薄製品向けの超薄シリコンチップを用いた薄型パッケージのプロファイル
- 小パッドのチップアライメントに対応して要求される寸法公差
- 小パッドへのコンタクト
- 外部端子金属材料(UBM、はんだ)の高信頼性(エレクトロマイグレーション、落下テスト)

ト)

- 多層再配線のトポロジ
- 大電流に対する厚膜金属のトポロジ
- 高周波帯における金属表面粗さ(表皮効果)
- 垂直方向への配線層間クロストーク
- エンベデッドWLP製品の歩留まり及びリペアの可能性

今後実用化されるウェーハレベルパッケージ技術の例

三次元インテグレーションの為の TSV

TSV を用いたデバイス/チップの垂直接続の実現はウェーハレベルパッケージングの潮流に出現した、キー技術である。この技術は、異種デバイスのインテグレーション、小型化そして製造コストの低減と同様に、信号伝送や接続密度、消費電力低減と言った電気特性の面で、大きな利点である。今日では、CMOS プロセスの前処理として TSV を形成する方法、CMOS プロセスの後処理としての先ビア加工、あるいは後ビア加工という新しいアプローチが開発されている。(Figure AP11 を参照)

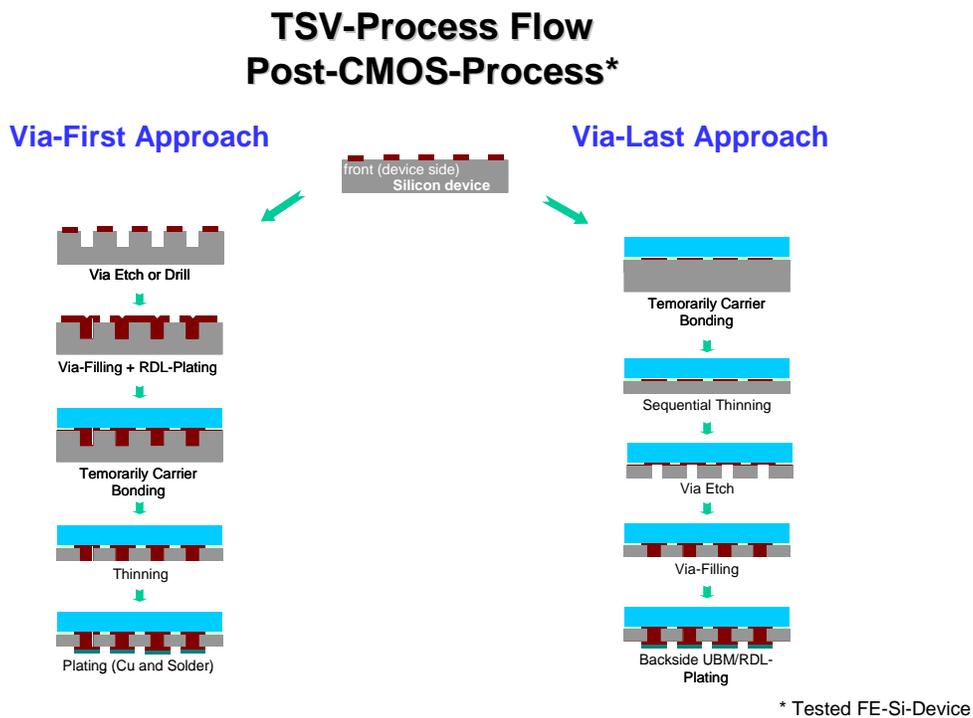


Figure AP11 Basic Process Flow Via-first versus Via Last

フロントエンドプロセス中の TSV 加工は本ロードマップのインターコネクトの章にて記載される。ここでは、アセンブリとパッケージの観点からいくつかの側面について議論する。TSV 形成の基本プロセスは、前処理としては、ビア・エッチング(DRIE、レーザー)、絶縁膜形成、及びメタライゼーションが良く知られている。積層構成の為に必要な追加プロセスは、ウェーハ薄化、再配線(RDL)の形成と UBM 形成、ウェーハレベルのボンディングプロセス(チップとウェーハ、ウェーハとウェーハ間でのマイクロバンプはんだ接続や、固液相互拡散(SOLID))と最終封止である。

現在のところ、TSV プロセスは R&D レベルであり、数社が製品レベルで生産しているに過ぎない。R&D レベルから大量生産への移行には、実行可能なビジネスモデル、設備インフラの開発と、競争力ある製品に見合うコストの提示が求められる。

TSV 技術アプローチにおける主要技術課題は、以下が挙げられる。

- 高密度、高アスペクト比のビアエッチング
- パッシベーションとメタライゼーションの低温プロセス
- 高速ビア埋め込み(例;電解銅めっき、CVD(銅、タングステン))
- 薄ウェーハ/デバイスの搬送性
- 高速、高精密なウェーハレベルの位置決め、アセンブリプロセス(チップ~ウェーハ、ウェーハ~ウェーハ)
- テスト方法
- 競争力あるコスト
-

Table AP7 Key Technical Parameters for Stacked Architectures Using TSV

Year of Production	2007	2008	2009	2010	2011	2012	2013
Numbers of stacked die using TSV	3 – (8)	6	9	>9	>9	>9	>9
Minimum TSV pitch	10.0	8.0	6.0	5.0	4.0	3.8	3.6
TSV maximum aspect ratio**	10.0	10.0	10.0	10.0	10.0	10.0	10.0
TSV exit diameter(um)	4.0	4.0	3.0	2.5	2.0	1.9	1.8
TSV layer thickness for minimum pitch	50	20	15	15	10	10	10

**小径ビアに適用する。大径ビアではより小さいアスペクト比となる。

TSV の最初の製品は CMOS イメージセンサで、今日生産されている。メモリデバイスへのチップ積層の取り組みは 2009 年の大量生産を目指して開発中である。将来の TSV を用いたチップ積層製品はアナログ、プロセッサ、メモリ、センサ等の混載製品となるであろう。

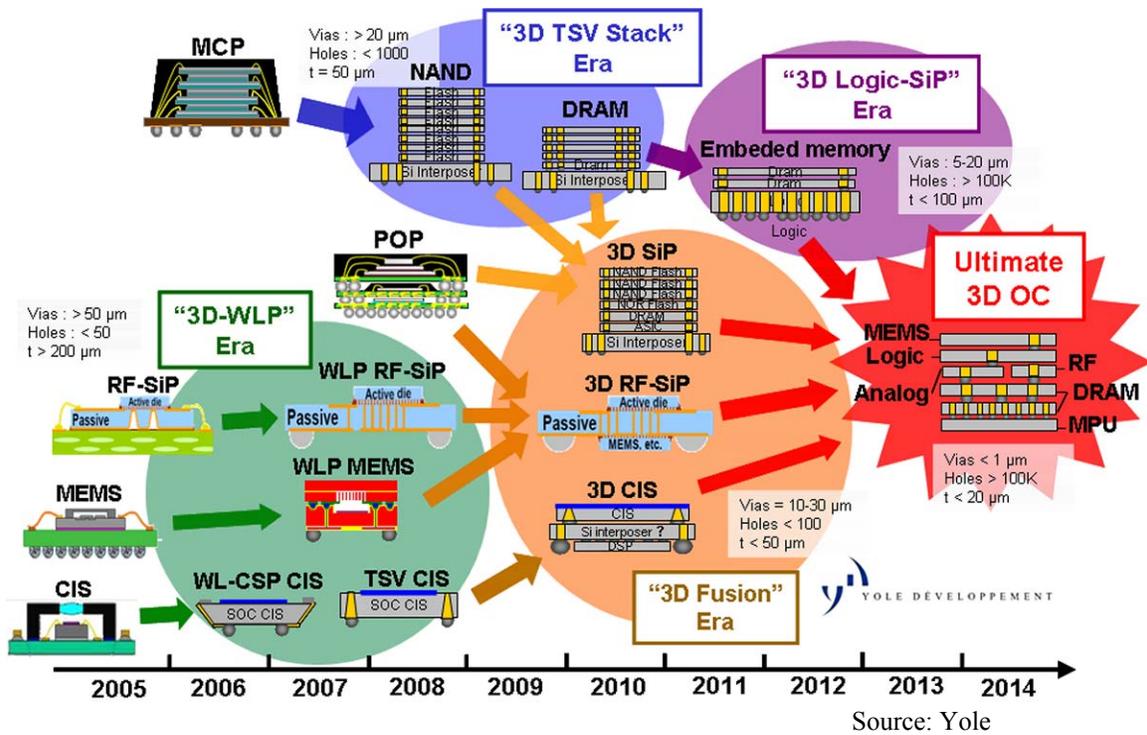
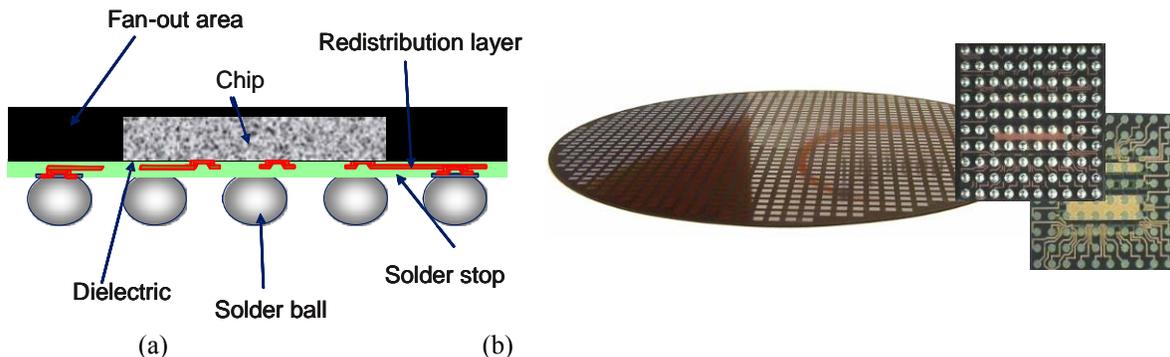


Figure AP12 Roadmap for 3D Integration using TSV

再構成ウェーハレベル技術を用いたファンアウトWLP

最近開発されたパッケージ技術としてファンアウト型や内蔵型のウェーハレベルパッケージ技術を挙げる事ができる。これらの技術はより高密度化とファンアウトが可能になる。この新アプローチにより、複数チップが再構成され、ウェーハ状のエポキシ樹脂に埋め込まれる。従来の一般的な BGA で使用されているラミネート基板に代わって、薄フィルムの新配線層が適用される (Figure AP13 参照)。ラミネート基板は適正なコストでの高密度化という観点で限界に達している。従って、薄膜技術の新配線層が、SiP に広く適用される様になる。インダクタやキャパシタといった受動素子、あるいは能動素子等を様々な薄膜層に集積化できるという、新しい SiP の設計の可能性が広がる。ボールアレイ上に銅ポストを組み込むというアプローチもある。この種の内蔵型ウェーハレベルパッケージにおける特に困難な技術課題は、設計から製造までのパッケージ産業インフラの整備、そして表面実装および実装レベルの信頼性である。



Graphic courtesy of Infineon

Figure AP13 Example of a Side-by-side Solution of an Fanout WLP (a) and a Reconstituted Wafer (b)

システム・イン・パッケージ

ムーアの法則は限界に来ているという予測がここ数年聞かれてきたが、まだ未成熟であることが証明されている。現在 CMOS 微細化は基本的な物理的限界に近づきつつあり、価格弾力性のある産業の持続的成長も Moore の法則に基づかなくなってきた。これはパッケージレベルでの構成部品の更なる高密度実装化による“More than Moore”を要求するであろう。これまでの幾何学的微細化は性能の改善、低電力化、小型化および低価格化を可能にしてきた。現在では微細化の役割はこの 4 つだけではない。“More than Moore”を実現する主要なメカニズムは、SoC と SiP 技術により複合回路の集積からもたらされるであろう。エレクトロニクス産業において民生機器が支配的になると、もっとも重要なものがシステム・イン・パッケージとなるであろう。SiP はパッケージングおよび接続技術の革新により 3 次元の有効的な使い方ができる。結果として、従来の CMOS 微細化の限界に近づくと、SiP は機能の更なる集積化や機能当たりのコスト低減を実現させることとなるであろう。

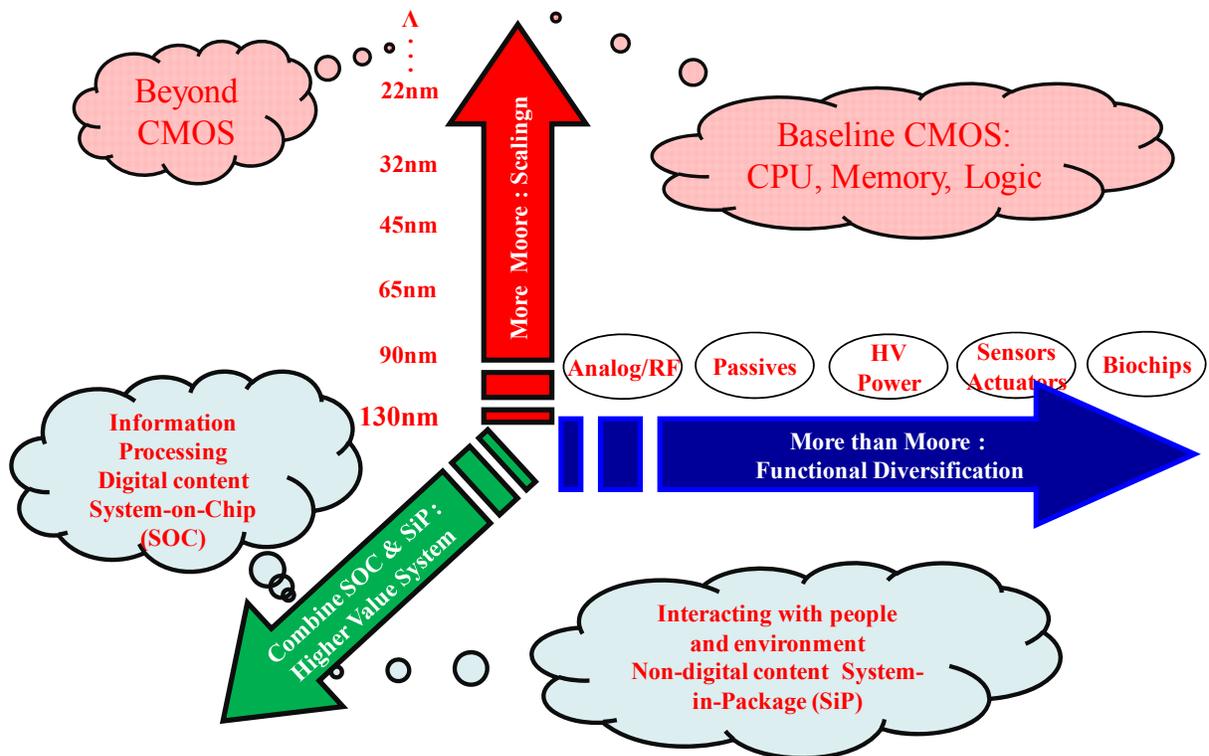


Figure AP14 Beyond CMOS Scaling

システム・イン・パッケージ(SiP)技術は小さな機器セットへ使われる特殊技術からエレクトロニクス市場における幅広い用途への広範な技術へと急速に展開している。これまでの主要な用途は携帯電話向けのメモリ/ロジックデバイスの積層や(ミックスドシグナルデバイスと受動部品の

集積に使われる) 小型モジュールであった。現在 3 次元(3D)SiP 技術はポータブル機器用途の大きな要求により進展している。

アセンブリ&パッケージング・テクニカル・ワーキング・グループでは “The next step in Assembly and Packaging: System Level Integration” とタイトルされた報告書が作成し、ITRS のウェブサイトに掲載した [5]。この報告書にはパッケージでのシステムの集積に対するコストと性能の継続的改善のための要求事項、課題および解決策候補が記されている。

その目的は;

- ・ 現状技術情報の普及
- ・ “ベストな” SiP のための解決策の統一見解形成
- ・ 研究が必要な部分の明確化
- ・ 技術開発リスクを最小限にするための産業界の協力体制の構築と集中

この報告書には SiP 技術の詳細が述べられており、SiP 技術に興味を持つ人にとって大いに参考になることと期待する。

SiP の定義

システム・イン・パッケージ(SiP)は、異なる機能を持つ複数の能動電子部品の組み合わせであり、1 つのユニットに組み込まれ、システムやサブシステムを構成する複数の機能を備える。SiP はまたオプションとして受動素子、MEMS、オプト部品など他の部品やデバイスも組み込まれる。

多くのタイプの SiP パッケージがあり、それらは水平配置、積層構造および埋め込み構造に分けられる。主な分類を下の Figure AP15 に示す。

Figure AP15 Categories of SiP

Horizontal Placement		 Wire Bonding Type	 Flip Chip Type	
Stacked Structure	Interposer Type	 Wire Bonding Type	 Wire Bonding + Flip Chip Type	 Flip Chip Type
	Interposer-less Type	 Terminal Through Via Type		
Embedded Structure		 Chip(WLP) Embedded + Chip on Surface Type	 3D Chip Embedded Type	 WLP Embedded + Chip on Surface Type

SiP 対 SoC

“More than Moore”の特徴は、SoCとSiP両方の技術の共存により実現される。どちらの取り組みもそれぞれ特有の利点があり、将来どちらも使われていくであろう。それぞれの構造に対する長所と短所を下表に示す。

Table AP8 Comparison of SoC and SiP Architecture

Market and Financial Issues		
Item	SiP	SoC
Relative NRE cost	1×	4-10×
Time to Market	3-6 months	6-24 months
Relative Unit Cost	1×	0.2-0.8×
Technical Features PROs		
SiP	SOC	
Différent front end technologies; GaAs, Si, etc.	Better yields at maturity	
Different device generations	Greater miniaturization	
Re-use of common devices	Improved performance	
Reduced size vs. conventional packaging	Lower cost in volume	
Active & passive devices can be embedded	CAD systems automate interconnect design	
Individual components can be upgraded	Higher interconnect density	
Better yields for smaller chip sets	Higher reliability (not true for very large die)	
Individual chips can be redesigned cheaper	Simple logistics	
Noise & crosstalk can be isolated better		
Faster time to market		
Technical Features CONs		
SiP	SOC	
More complex assembly	Difficult to change	
More complex procurement & logistics	Single source	
Power density for stacked die may be too high	Product capabilities limited by chip technology selected	
Design Tools may not be adequate	Yields limited in very complex, large chips	
	High NRE cost	

システム・レベルの要求

SiP に対する一般的な要求は多く、相対的な重要性はそのアプリケーションにより異なる。これらの要求は以下の項目よりなる。

- ・小型および特殊形状要素

- ・高機能密度
- ・高周波動作
- ・大メモリ容量
- ・高信頼性
- ・低パッケージコスト
- ・低開発コスト
- ・短開発期間
- ・ワイヤレス通信(GPS, Bluetooth, Cellular, etc.)

パッケージレベルのシステムインテグレーションに対する要求を下記の Table AP9 に示す。

Table AP9 Package Level System Integration

				2008	2010	2012	2014	2016	2018	2020	2022
				High Performance / Low Cost, Handheld							
Passives	Capacitor	O for YES		o/o	o/o	o/o	o/o	o/o	o/o	o/o	o/o
	Resistor			o/o	o/o	o/o	o/o	o/o	o/o	o/o	o/o
	Inductor			o/o	o/o	o/o	o/o	o/o	o/o	o/o	o/o
Actives	Optical	o for YES		o/o	o/o	o/o	o/o	o/o	o/o	o/o	o/o
	CCD/CMOS Sensor			-/o	-/o	-/o	-/o	o/o	o/o	o/o	o/o
	MEMS			-/o	-/o	-/o	-/o	o/o	o/o	o/o	o/o
Package Inner Structure	IC to IC Connection	o for Applicable	Wire	-/o	-/o	-/o	-/o	o/o	o/o	o/o	o/o
			Flip Chip	o/o	o/o	o/o	o/o	o/o	o/o	o/o	o/o
			Via Hole	-/o	-/o	-/o	-/o	o/o	o/o	o/o	o/o
	IC to Substrate Connection	o for Applicable	Wire	o/o	o/o	o/o	o/o	o/o	o/o	o/o	o/o
			Flip Chip	o/o	o/o	o/o	o/o	o/o	o/o	o/o	o/o
			Via/ TSV Hole	-/o	-/o	-/o	-/o	o/o	o/o	o/o	o/o
IC- RDL (carrier-less)			-/o	-/o	o/o	o/o	o/o	o/o	o/o	o/o	
Integrated / Embedded Components	Passives	o for Applicable	IC	-/o	o/o						
			Capacitor	o/o	o/o	o/o	o/o	o/o	o/o	o/o	o/o
			Resistor	o/o	o/o	o/o	o/o	o/o	o/o	o/o	o/o
			Inductor	o/o	o/o	o/o	o/o	o/o	o/o	o/o	o/o
Substrate Material	Organic	o for Applicable	Rigid	o/o	o/o	o/o	o/o	o/o	o/o	o/o	o/o
			Flexible	-/o	-/o	-/o	-/o	o/o	o/o	o/o	o/o
	Inorganic		Ceramic	o/o	o/o	o/o	o/o	o/o	o/o	o/o	o/o
			Silicon	o/o	o/o	o/o	o/o	o/o	o/o	o/o	o/o

SiP に対するパッケージ要求を満たすためには、シングルチップ・パッケージング・プロセスの変更が不可欠であり、いくつかの場合に新規プロセスが採用される。SiP に使われるプロセスを表 AP10 に示す。それらはウエハ前処理、ダイアタッチプロセス、内部接続、アンダーフィル注入、ビア形成およびメタライズ、配線および封止にグループ分けされる。

Table AP10 Processes for SiP

Technologies and Processes for SiP	Substrate / Carrier Level	Wafer Level / 3D Integration
<i>Pre-processing of wafers</i>		
Thinning, dicing	ca.50 μm	< 20 μm
Wafer bumping	Low cost, pitch> 100 μm	Fine pitch and bumpless
Re-configured Wafer		■
<i>Die attach</i>		
Epoxy	■	
Tape	■	
Soldering		■
Polymer		■
<i>Interconnects</i>		
Wire bonding	Low-loop bonding	
Flip-chip bump bonding	Mixed WB /FC	Size/pitch (>50 μm)
Face-to-face		Fine pitch (<10 μm)
		Thin interconnects
Bumpless/Seamless	Electroless	Thin film interconnects, fusion
Via formation	Photo, drilling, laser	Through silicon etching, photo
Via metallization	Plating, electroless	Electroplating, CVD
Wiring	Substrate wiring (see chapter substrates)	Thin film redistribution
Underfilling	Dispensing, jetting, underfill molding	Dispensing, jetting, underfill molding
Encapsulation	Molding	Molding
		Wafer/wafer (glass) bonding
Second Level Interconnect	Solder balls	Solder balls, (Cu studs)

Legend: ■ most preferred used

最も集積度の高いレベルは 3 次元パッケージングで達成される。チップ積層はここ数年積層チップからパッケージ基板へのワイヤボンディング接続により携帯電話などの民生機器に使われてきた。現在最も新しい技術はより効果的なチップ積層のための TSV の使用である。Table AP11a と b に SiP チップ積層に対する主要要素を示す。着色欄の主な制約は温度管理限界である。高性能デバイスはチップ積層では難しい放熱手段が必要である。ロードマップ値を満たすために新たな取り組みが要求されるであろう。

Table AP11a System in Package Requirements—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	23	20	18	16	14	13	11	10
Number of terminals—low cost handheld	700	800	800	800	800	800	800	800	800
Number of terminals—high performance (digital)	3050	3190	3350	3509	3684	3860	4053	4246	4458
Number of terminals—maximum RF	200	200	200	200	200	200	200	200	200
Low cost handheld / die / stack	7	8	9	10	11	12	13	14	14
High performance / die / stack	3	3	3	4	4	4	5	5	5
Low cost handheld / die / SiP	8	8	9	11	12	13	14	14	14
High performance / die / SiP	6	6	6	7	7	7	8	8	8
Minimum TSV pitch	10.0	8.0	6.0	5.0	4.0	3.8	3.6	3.4	3.3
TSV maximum aspect ratio	10.0	10.0	10.0	10.0	10.0	10.0	10.0	10.0	10.0
TSV exit diameter(um)	4.0	4.0	3.0	2.5	2.0	1.9	1.8	1.7	1.6
TSV layer thickness for minimum pitch	50	20	15	15	10	10	10	10	8

Minimum component size (micron)	1005	600×300	600×300	400×200	400×200	400×200	200×100	200×100	200×100
Maximum reflow temperature (°C)	260	260	260	260	260	260	260	260	260

Table AP11b System in Package Requirements—Long-term Years

<i>Year of Production</i>	2016	2017	2018	2019	2020	2021	2022
<i>DRAM ½ Pitch (nm) (contacted)</i>	23	20	18	16	14	13	11
<i>MPU/ASIC Metal 1 (M1) ½ Pitch (nm)</i>	23	20	18	16	14	13	11
<i>MPU Physical Gate Length (nm)</i>	9	8	7	6.3	5.6	5.0	4.5
Number of terminals—low cost handheld	800						
Number of terminals—high performance (digital)	4670	4904	5138	5394	5651	5934	6231
Number of terminals—maximum RF	200						
Low cost handheld / die / stack	15	15	16	16	17	17	18
High performance / die / stack	6	6	6	7	7	7	8
Low cost handheld / die / SiP	15	15	16	16	17	17	18
High performance / die / SiP	9	9	9	10	10	10	11
Minimum TSV pitch	3.1	2.9	2.8	2.7	2.5	2.4	2.3
TSV maximum aspect ratio	10.0						
TSV exit diameter(um)	1.5	1.5	1.4	1.3	1.3	1.2	1.1
TSV layer thickness for minimum pitch	8						
Minimum component size (micron)	200×100						
Maximum reflow temperature (°C)	260						

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

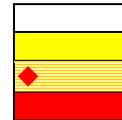


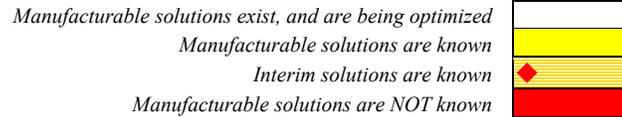
Table AP11 に示すマルチ・チップ積層によると、結果として小型民生機器に対するロードマップ要求を超えるパッケージ厚になるであろう。チップ厚を Table AP12a と b に示す。厚さの制限はシリコン薄化能力からくるのではない。その制限はチップの内部接続層厚さと、動作保証できる最小厚の極薄チップをハンドリングすることにおける課題である。

Table AP12a Thinned Silicon Wafer Thickness 200 mm/300 mm—Near-term Years

<i>Year of Production</i>	2007	2008	2009	2010	2011	2012	2013	2014	2015
<i>DRAM ½ Pitch (nm) (contacted)</i>	65	57	50	45	40	36	32	28	25
<i>MPU/ASIC Metal 1 (M1) ½ Pitch (nm)</i>	68	59	52	45	40	36	32	28	25
<i>MPU Physical Gate Length (nm)</i>	25	23	20	18	16	14	13	11	10
Min. thickness of thinned wafer (general product)	50	50	50	50	45	40	40	40	40
Min. thickness of thinned wafer (For extreme thin package ex. Smart card)	20	20	15	15	10	10	10	10	8

Table AP12b Thinned Silicon Wafer Thickness 200 mm/300 mm—Long-term Years

<i>Year of Production</i>	2016	2017	2018	2019	2020	2021	2022
<i>DRAM ½ Pitch (nm) (contacted)</i>	23	20	18	16	14	13	11
<i>MPU/ASIC Metal 1 (M1) ½ Pitch (nm)</i>	23	20	18	16	14	13	11
<i>MPU Physical Gate Length (nm)</i>	9	8	7	6.3	5.6	5.0	4.5
Min. thickness of thinned wafer (general product)	40						
Min. thickness of thinned wafer (For extreme thin package ex. Smart card)	8						



ウェーハ薄化により 2015 年までに 8 μ m に達する。その過程でウェーハ薄型化への多くの技術的課題が発生するであろう。薄ウェーハや薄チップをハンドリングすることに対する課題もより困難になるであろう。薄チップを SiP や他のエレクトロニクス・システムへ実装するときの主な課題と潜在的解決策を Table AP12c に示す。

Table AP12c Challenges and Potential Solutions in Thinning Si Wafers

CHALLENGES	POTENTIAL SOLUTIONS
Wafer thinning technology	Fine grinding wheel
Stress relief	Wet polishing, plasma, dry polish, CMP
Wafer handling technology	Inline B/G system
Singulation	Mechanical saw, laser saw, plasma etch
Die attach handling	Needle-less pick-up system, carrier-less wafer handling
Wire bonding on overhang thin die	Optimize O/H length and wire bonding parameters, Less dynamic impact bonding
Low loop wire bonding	Folded wire loop, Reverse wire bond
Molding thin gap	Liquid molding, compression mold, high flow molding compound, vacuum assist
Thinning on a bumped wafer	Mechanical handling innovation during and after thinning

SiP の信頼性に対する課題

信頼性、品質および製造歩留まりは多様な SiP のアプリケーションの開発には重要不可欠である。SiP の信頼性課題として、信頼性の調査、診断および故障解析による開発を要求する。主な点を以下に示しており、また ITRS のウェブサイトにて “The Next Step in Assembly and Packaging: Systems Level Integration.” と表題された報告書に詳細が記述されている。

SiP の故障モードは必ずしも SiP 技術特有のものではなく、相対的な発生比率は SiP の用途や使用環境に影響される。トランジスタ数の継続的な増加により、アプリケーションに合った信頼性の向上をも加速させる必要がある。さらに故障モードと故障メカニズムの分類を下記の Table AP13 に示す。

Table AP13 SiP Failure Modes

Basic Failure Mechanisms	#	Failure Origins and Driving Forces	Sip-Relevant Failure Examples	Fault Isolation and Failure Analysis Methods
A: Coherent crack formation	1	Thermomechanical mismatch	Chip solder fatigue BGA solder ball fatigue Fracture of an embedded passive component Die-to-die spacer crack Underfill crack IC metal line open	<p><u>Stress analysis</u> by thermoire-interferometry, speckle-interferometry (ESPI), deformation analysis by image correlation, x-ray diffraction</p> <p><u>Fault isolation</u> by magnetic microscopy, time domain reflectance, lock in thermography, TIVA, OBIRCH</p> <p><u>Crack detection</u> by scanning acoustic microscopy, cross section analysis with light microscopy, SEM or FIB/SEM</p>
	2	Mechanical loading (application- or process-induced)	IC dielectric crack Organic substrate crack Solder ball crack (drop)	
	3	Hygroscopic swelling	Mold compound cracking, die cracking	
	4	Reaction-induced volume shrink or expansion (e.g. curing)	Mold compound cracking, die cracking	
	5	Internal pressure (e.g. moisture vaporization at increased temperature)	Mold compound cracking, die cracking	
B: Interfacial delamination	1-5	Same as 1-5	IC dielectric delamination Underfill delamination Delamination between stacked dies Organic substrate delamination Mold compound delamination	<p><u>Stress analysis</u> by thermoire-interferometry, speckle-interferometry (ESPI), deformation analysis by image correlation, x-ray diffraction</p> <p><u>Crack detection</u> by scanning acoustic microscopy, cross section analysis with light microscopy or SEM, FIB/SEM, FIB/TEM</p>
	6	Interface reactions causing loss of adhesion (e.g. moisture-, oxidation-, contamination-related)	Underfill delamination Mold compound delamination Organic substrate delamination	<p><u>Crack detection</u> by scanning acoustic microscopy, cross section analysis with light microscopy or SEM, FIB/SEM, FIB/TEM</p> <p><u>Surface analysis</u> by TOF-SIMS, XPS, AES, TEM+EDX, TEM+EELS</p>

Table AP13 SiP Failure Modes (continued)

Basic Failure Mechanisms	#	Failure Origins and Driving Forces	Sip-Relevant Failure Examples	Fault Isolation and Failure Analysis Methods
C: Void and pore formation	7	Mechanical creep	IC Solder ball fatigue BGA solder ball fatigue	<u>Fault isolation</u> by magnetic microscopy, time domain reflectance, lock in thermography, TIVA, OBIRCH
	8	Diffusion (Kirkendall void formation) and Intermetallic formation	IC UBM lift Void in IC interconnect or in via Wire bond lift BGA solder ball lift	
	9	Electromigration	Void in IC metal line or solder, Void in solder, metal line or via in the BGA substrate	<u>Void detection</u> by x-ray microscopy or x-ray tomography Cross section analysis with light microscopy, SEM or FIB/SEM (with EDX,WDX, EBSD and x-ray diffraction for analysis of intermetallics)
	10	Thermomigration	Void in IC metal line or solder, Void in solder, metal line or via in the BGA substrate	
D: Material decomposition and bulk reactions	11	Chemical corrosion	Bond wire lift	<u>Fault isolation</u> by magnetic microscopy, time domain reflectance, lock in thermography, TIVA, OBIRCH
	12	Galvanic corrosion	Bond wire lift	
	13	Ageing (UV, ...)	Organic substrate cracking or delamination Underfill cracking or delamination	
	14	Grain coarsening, phase separation	Wire bond rupture IC solder ball fatigue BGA solder ball fatigue	<u>Failure analysis</u> by Cross section analysis with light microscopy or based on FIB/SEM with EDX or WDX, TEM, TOF-SIMS, XPS, FTIR spectroscopy, , mechanical testing, TGA, DMA, DSC (ageing), EBSD (grain analysis)

熱設計

SiPにおいてもシングルチップパッケージ内の部品と同様にそれぞれの部品の熱設計が必要である。異なるクラスの能動部品の異なる出力レベルと、ほとんど発熱しない受動部品の混在により、SiPでは温度密度の極端な偏りが発生する。この結果、温度勾配や材料間のTCEのミスマッチによりダメージを引き起こす潜在的な応力やホットスポットが発生する。TSVのダイレクト接続構造による3次元SiPでは、チップ積層数により発熱が増大し、放熱できる表面積は減少する。空冷ヒートシンクではジャンクションから周辺環境までの熱抵抗は大きく、ITRSロードマップで2022年に予測するジャンクション温度の放熱には不十分である。

部品の温度限界

部品温度は以下の理由で管理されなければならない:

- より高い温度はデバイス性能に影響を与える(より低周波)
- より高い温度は出力リークを引き起こし、エネルギーを浪費する
- より高い温度は材料特性や信頼性のより早い劣化を引き起こす
- より高い部品温度は高温に弱い周辺部品に悪影響を与える

部品温度の制限はその機能、構造および設計によって決まる。たとえば、マイクロプロセッサの代表的な $T_j \text{ max}$ 温度は約 100°C 、メモリデバイスでは約 85°C である。同じSiP内の異なるデバイスは機能も異なるため、それらの $T_j \text{ max}$ 温度も互いに異なる。加えて、SiPの熱設計においては、パッケージ全体の電力消費量と個々の部品の電力消費量を考慮する必要がある。

解決策候補は2つの要素をあわせ持たなければならない。第1に、熱源からヒートシンクへの効率的な熱放散と熱エネルギーの発散のためのカーボン・ナノチューブの様な熱伝導材(TIM)の改善である。これだけでは熱源がヒートシンクで可能な放熱量以上に発熱した場合に問題は解決できない。この場合、流体熱伝導や既に試作されているいくつかの手法が必要となるであろう。(訳注:第2の要素はヒートシンクから大気への熱放散)。

CMOS形成プロセス技術を応用した熱流体ヒートシンクとフリップチップ・マイクロ流体(マイクロパイプ)I/O接続を使った方法がレポート[6,7]に報告されている。

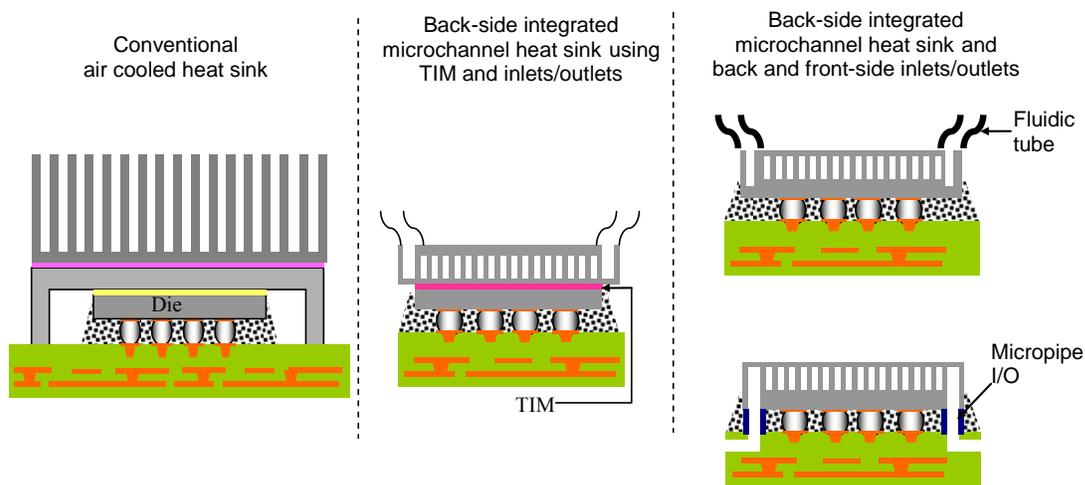


Figure AP16 Examples of Heat Sink Technologies and Integration of Fluidic Interconnections with CMOS Chips

3次元シリコン積層モジュールでは水冷方式による解決策も必要と考えられ、現在開発段階である。IME（本章第9節コンソーシアムを参照）は、3次元モジュールの各層で100Wの熱放散を可能にする（2層モジュールでは合計200W）水冷サブシステムを開発中である。その冷却方法は、電気的接続と微細流体流路（fluidic microchannel）を持つ基板キャリアを用いる。耐漏洩性キャリアの開発はこのプロジェクトにおける1つの課題である。現在その研究チームは、微細流体流路、TSV および電気配線を含むキャリアの製造プロセスを開発した。これらのキャリアは高出力デバイスの3次元パッケージに必要な340ml/分の流量を流すことができる。

協調設計ツールに対する要求

チップ・パッケージ・システムにおける協調設計の手法は、SoCのシステムインパッケージへの効率的な統合を実現するために極めて重要である。サイクルタイムおよびコストの削減のために、またチップ積層、PoP、PiP、3次元パッケージングの最適化のためには、チップ・パッケージ・ボードの設計の協調が不可欠である。より詳細な概要は、ITRSのウェブサイトに掲載されている「*The next step in Assembly and Packaging: Systems Level Integration*」という報告書で参照可能である。

協調設計の手法を実行させるためには以下のものが必要である；
設計審査の繰り返し、チップ設計とパッケージ設計との間の協調、アプリケーションの開発、電気・熱・構造のモデリングとシミュレーション、高密度基板の設計チーム。

三次元パッケージングにおける技術的課題には以下のようなものが挙げられる；

製造容易化設計（DFM; design for manufacturability）、低コスト化に対する設計、手戻り回数の低減、信頼性設計、複雑なワイヤボンダやフリップチップのルールのチェック、チップの設計自由度のトレードオフ、ツールとフローにおけるEDAツールを用いるインタフェースと整合性、垂直統合型デバイスメーカー（IDM）固有の設計フローとツール、基板メーカーとパッケージ製造拠点における整合性。

協調, コスト, および Time to Market

チップ/パッケージ/ボード設計のエキスパートは、最適化設計のために強調設計を行わなければならない。将来的には適切なユーザーインターフェースが要求される。協調設計することにより、コストとサイクルタイムは削減しつつも性能は改善できる。設計チームの共同作業を無くしては、パッケージをシステムレベルで最適化することは不可能である。コストとのトレードオフは不透明で、またシステムレベルの性能への影響は不明確なまま、種々の変更を行うことは厄介なものである。これを避けるために、設計者は従来からの仮定に基づいて過剰にマージンを持たせた設計を行い、その結果パッケージのコストはより高いものとなる。異なる設計環境を横断できる協調設計分析ツールが無いと「What-if 分析」は困難であり、また設計のサイクルタイムはより長いものになってしまう。

SiP に対する信頼性の重要性

効果的な協調設計は、構造・熱・応力・電気的な設計と信頼性の関係を包含しなければならない。従来のパッケージングで明らかであった信頼性と設計のトレードオフの多くは、SiPでは更に複雑なものになる。特にSiPでは、電気・機械・熱的な設計と、信頼性設計とを別々に進めることは得策では無い。サブコンポーネントによる相互作用の複雑さゆえに、信頼性設計に対して普遍的な共通パラメータや、特定のパラメータなどがあるわけではない。多くの場合、信頼性基準に対応した設計をするために、サブコンポーネントの相互作用、設計目標、トレードオフ、設計ルール、各種仕様、および既存の信頼性設計手法を検討することが必要である。

システムアプローチの必要性

パッケージ設計に対する要求事項と変更の多くは、異なった機能的な領域から発するが、たいていの場合は少し適用されただけで終わってしまう。この様なアプローチを避けるために、チップ・パッケージの協調設計には最新のシステム設計の手法とツールを導入する。これにより繰り返し作業やそれ以外の技術課題を解決できるようになる。繰り返し作業の削減のための一つの方法は、予測した試験、システムレベルの電気・

熱モデリング、およびシステムレベルの信頼性と量産性の評価をサポートするようなモデリングツールを用いることである。予測する手段は二つある。ひとつは信頼性と量産性試験のための実際に行う実験であり、もうひとつは実現可能性および熱・電気の解析のための机上検討である。またこれらは何をするかを明確にしかつその結果対して責任を持つことが必要である。このアプローチは、設計段階の初期における多くの一般的な設計上の疑問に答えることができ、また製造評価サンプルを使って行う試験費用を削減することができる。

協調設計ツール開発に対する必要性

SoC と SiP の設計には、チップ/パッケージ/システムレベルの要求とその相互作用の統合と分析ができる、三次元対応可能な熱、電気、構造モデリングツールが必要である。また、チップ/パッケージ/システム設計と配線の引き直し設計のための EDA ツール、ビルトインチェック、DRC の様な判断基準とレポート機能、標準のネットリスト配列、接続性確認のためのレポート機能が必要である。

カスタムオートメーションツールによって、異なった設計環境間で設計データを素早く効率的に伝達・検証ができるようになる。スプレッドシートは、ほとんど全ての設計環境において利用可能であり、大量のデータを容易に取り扱えるため、これらの自動ツールの共通のプラットフォームである。これらのツールは 3 つの主要な用途がある。1) データを図形に変換、2) データを標準フォーマットに変換、3) 標準フォーマットのデータセットの比較。このタイプの自動化は、比較的大きいデータセットの操作時間を短縮し、マニュアル作業によるミスを防ぐことが出来るので、通常の SoC 設計では欠かせない。

チップ/パッケージの協調設計の手法やツールは開発中である。全ての異なる設計環境を横断的に対応でき、包括的であり、ユーザフレンドリで、かつ高度に統合されたツールは今のところ存在しない。しかしながら、既存のチップ/パッケージ/システムの協調設計ツールを正しい方法でカスタム開発された内部ツールでは、パッケージコストと設計・検証のサイクルタイムの削減に役立っている。

チップ・パッケージ・システムに対する協調設計ツール開発における一般的な要求事項

- 設計サイクルタイム、精度、および DFM (design-for-manufacturability) の改善。
- 判断ツール、フロー、ルール類の整合;例えば、IDM の内部ツール、チップ設計ツール、基板メーカ、アセンブリ拠点、電氣的制約事項およびモデリングツール
- 繰り返し作業の削減、チェックにおけるマニュアル作業の削減および自動化、複雑な設計ルールの取り込み、チップ/パッケージ/PCB のトレードオフの向上
- 進歩性;より良い方法、より多くの複雑さ、共同作業、技術の組合せ。
- 簡易的な検証;基板、基板+チップ、製造のし易さ、電氣的、機能的、熱的、機械的な検証。IDM の内部ツールへのインポートとエクスポート。
- より簡易かつ高速なフィジビリティ分析
- チップ設計チームとシステム設計チームにおける共同作業。共同作業可能なデータ形成、チップ+パッケージ+システムの検証ツール等。
- 受動素子も含むシングルパッケージでの複数機能の相互作用と IO プラニングの理解
- 設計データ、レイヤ、パターン、ネットリストの全てを複雑に取り扱える機能
- 複雑な電氣的制限 (長い配線/ワイヤ、交差する配線/ワイヤ)、制約要件に対する高度な設計
- 重大な設計の繰り返しを避けるために、IC あるいはパッケージ設計におけるマイナーな調整の許容性が必要。
- 後工程での高コストの設計繰り返しを避けるために、設計の初期段階における設計サイクルタイムの短縮が必要。
- パッケージの小型化および薄型化によって一層複雑になるワイヤボンドおよびフリップチップボンドのアセンブリルールにおける制約事項の組み込み
- 製造上の制約事項をより多くより容易に扱うための優れた DFM とコスト分析
- チップ・パッケージ・システム設計におけるリアルタイムのトレードオフ検証

- 内部ツールとフローにおけるインタフェースおよび整合性
- 複雑な設計のサイクルタイム短縮
- コスト重視からの制約
- 頻繁な設計変更に対応できるより多くの柔軟性
- チップ設計、システム設計、DFM 設計の各デザインチームのより緊密な統合
- 高速アプリケーションを含むシステムレベルの電気モデル
- 異なる設計環境を横断して複雑に機能する検証ツール
- 複雑なパッケージの協調設計に対するより優れた手法およびツールを実現する供給者、サポート、開発、生産、顧客との緊密な共同作業
- より強力で使いやすい記述能力
- 再利用可能にするための、技術的に独立した汎用データベース

RF, アナログミックスドシグナル, DSP, EM およびデジタルの統合シミュレーション

RF、アナログミックスドシグナル、DSP、EM およびデジタルを混載する SiP においては、設計と製造における課題だけでなく、シミュレーションも技術課題となる。IC の機能が異なっているため、異なるシミュレーション技術が要求される。例えば Harmonic Balance のような周波数領域のシミュレーションは、RF 回路設計に対するシミュレーション技術が適している。また時間領域のシミュレーションは、デジタルアプリケーションのための非線形、VHDL または C ベースシステムに適している。パッケージおよび相互接続における寄生成分によるシステムの挙動を理解することが重要である。内蔵受動素子と集積受動素子を適用した SiP のシミュレーションについてはモデリングに考慮する必要がある。内蔵受動素子は従来の表面実装型のチップ部品の代替として用いられる。

SiP におけるワイヤボンディングとダイボンディング

SiP パッケージ基板へのチップの搭載方法、およびチップと基板との電氣的接続方法に対し、色々な開発が行われてきた。Figure AP17 に、SiP に対するワイヤボンディング技術を示す。

Green Validated			
Blue Projected			
Max Package height			
1.0 mm	0.9 mm	0.8 mm	0.7 mm
Loop Height (max.)			
75 um	50 um/	40 um	
Overhang Thickness / Distance (mass production)			
100 um / 1.0 mm	100 um / 1.5 mm	100 um / 2.0 mm	
75 um / 0.5 mm	75 um / 0.75 mm	75 um / 1.75 mm	75 um / 2.0 mm
50 um / 0.25 mm	50 um / 0.4 mm	50 um / 0.75 mm	50 um / 1.0 mm
First Die Thickness			
75 um	50 um	40 um	
Pitch / Wire Diameter			
60 um / 1.0 mil	50 um / 0.8 mil	45 um / 0.7 mil	40 um / 0.6 mil
Active Die per Stack (leading edge)			
6 (ITRS 6)	8 (ITRS 7)	8 (ITRS 8)	9 (ITRS 9)
Active Die per Package High Volume			
3	4	5	6
Special Requirements			
Programmable Focus / Cascade Bonding		3D Looping	Special Wire

Figure AP17 Wire Bonding for SiP Packaging

ダイボンディング

薄型チップのピックアップはチップ積層に必要な技術であり、現在も開発されている。標準的なパッケージ高さに維持するためには、積層するチップを薄くする必要がある。バックグラインド工程によってチップの厚みは $50\sim 125\mu\text{m}$ 程度にする場合は、ウェーハの取り扱いには注意が必要である。ソフトでかつ制御されたチップピックアップ手法が必要である。このような手法においては、シーケンシャルニードル機構および入れ子伸縮機構を備えるものが一般的である。

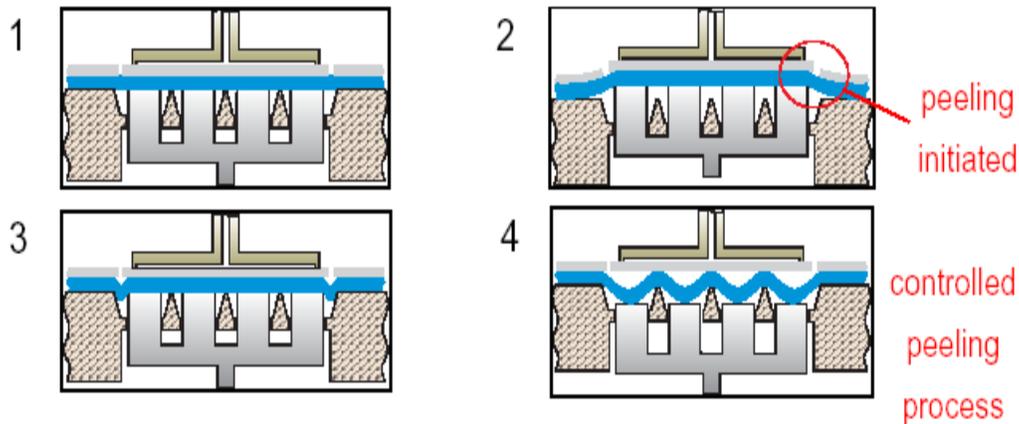


Figure AP18 Mechanism and Technique for Picking Thin Die

その他の開発中の新技術としては、同一サイズのチップを積層する「film over wire」あるいは「chip over wire」と呼ばれる技術がある。既にいくつかの企業ではこの技術を量産製品に適用している。この技術では、ウェーハの裏面にフィルムを貼り付けておき、ダイボンディング工程において加熱したコレットでチップをピックアップし、既にワイヤボンディングしたチップ上に直接搭載する。フィルムは加熱によって低粘度になり、適切な荷重が印加されるとワイヤを包み込む。その後 3~5 秒間チップを保持してフィルムを硬化させる。この製法を上手く機能させるためには上チップのワイヤボンディング温度を 100°C または 120°C 未満と通常よりも低い温度にする必要がある。



Figure AP19 Film over Wire Technology

ワイヤボンディング技術が今後も使用できる様、様々な開発が行われている。この一例として以下に両面ボンディング技術を Figure AP20 に示す。ここでは SiP における三次元配線を用いた複雑な相互接続構造をワイヤボンディング技術によって実現している。

Note:
This device is bonded in four passes..

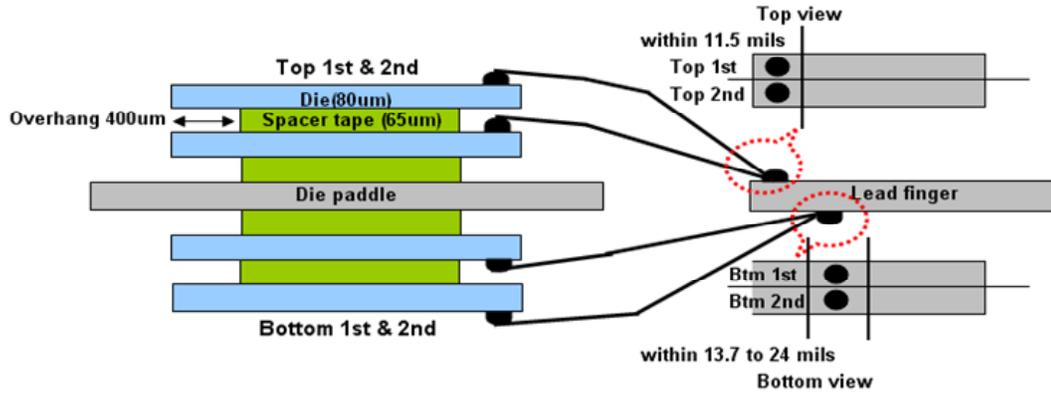


Figure AP20 Wire Bonding on Both Sides

SiP のテストイング

SiP の試験における 3 つの主要な課題 (KGD、システムレベルテスト、テストコスト) について、この節で記載する。

KGD

KGD (Known Good Die) は実用上 SiP に必要なものである。KGD はチップ単体で特性的に良品であり、かつ信頼性も確保しなくてはならない。チップ特性を十分に満足するために、回路テストあるいはウェーハソートにおける歩留基準は、最終試験レベル並みに上げる必要がある。課題を以下に示す。

- ウェーハ状態で高速テストが可能なこと。15GHz 超でのテスト技術(本ロードマップのテストの章を参照)。代替手段としては BIST (built in self test) 回路を内蔵し、高周波トランジスタをテストする方法がある。高い周波数で高速コアトランジスタと I/O バッファ(オフチップ)ドライブトランジスタの両方の試験を行う場合は、上記の両方の組み合わせが必要になる。
- パッケージング後のバーンインテストと同等の信頼性を確保する、ウェーハ状態でのバーンインテスト方法が必要になる。

システムレベルテスト

SiP の最終テストにおいては、従来のパッケージと同等な試験が必要である。シングルチップパッケージにおいては取り上げられなかった多くの問題を解決していかなければならない。

- 非標準 SiP あるいは多ピン SiP のためのカスタムソケット設計
- シリコン貫通電極(TSV)を用いた 3D-SiP のための故障解析
- 最終テストにおいて不良となった SiP を解析する場合に、サンドイッチ構造で挟まれたチップへのプローブテスト。
- 3D-TSV SiP のための DFT 開発 (BIST およびその他の技術)

テストコスト

テストにおいては低コストが要求される。現在ほとんどの SiP は民生品で使用される。これらの市場はきわめて価格志向が強く、テストコストが高くなる SiP は市場に広がらないだろう。従来型のテストコストの主な要因は、テストアプリケーションのプログラミング、テスト時間、ATE 装置、プローブカードなどである。複雑な SiP 製品は適切な試験を行うために、従来型テストと BIST の両方を必要とする。これは、高集積部品、高速 RF デバイス、デジタル通信回路におけるテストアクセスの制限とシステムレベル特性テストへの要求のためである。

特定機能パッケージング

オプトエレクトロニクス用パッケージング

オプトエレクトロニクスチップ用パッケージングに対する要求

パッケージングに対して光学素子独特の3つの主な要求がある。それらは、最小限の光損失、高精度アライメントと放熱設計である。

1. 光損失の最小化に関する要求事項:
 - a. 出力を最大限にするロバスト設計
 - b. 光学素子および半導体素子による最小吸収損失
 - c. 屈折率の界面差による損失および不要散乱の最小化
光源や検出器との効率のよい結合の達成と維持
2. オプティカルチェーンのサブミクロンのアライメントおよび動作安定性、特にシングルモードファイバと端面発光レーザーチップの結合
3. 温度変化の最小化、性能の最大化と波長ドリフトの最小化のためハイパワーレーザーチップおよび高輝度 LED からの熱放散

チップのへ高帯域の光入出力

高性能マイクロエレクトロニクスシステムの実現への重要な課題は、低レイテンシ(データ転送遅延時間の短縮)、高帯域、および高密度なチップ外への接続である。電気的接続を利用した高帯域チップ間伝送の達成のための課題には、基板絶縁体の高誘電損失、反射と特性インピーダンス不整合、そしてクロストーク等がある。

そういうわけで、これら課題の克服や、低レイテンシと高帯域チップ間伝送の実現のためのマイクロ光学技術の利用に対する手法が、文献で紹介されている(例えば[8, 9])。

ファイバとチップ間の結合方式(例として、光信号のシリコンベース上テーパ部への結合)を含む、チップ間光インターコネクタ[10, 11, 12] の開発に顕著な進展が見られた。フリースペース(自由空間)光インターコネクションもまた、チップ間伝送に使われている。これらの光インターコネクション技術に対し、ミスアライメントの許容度およびパッケージングの複雑さが、より取り組まなければならない課題である。

光インターコネクションを実現するもうひとつの代案として、基板上に一括形成されたポリマー導波路が検討されている。ポリマー導波路には、高密度、光閉じ込め率および組み立ての容易さ等の長所がある。

アプローチのひとつとして、検出器(PD)や光源のような光デバイスは、パッケージ基板内に集積され、ポリマー導波路によって接続される。光デバイスがモノリシックもしくは異種デバイスと一緒に集積される場合、光源および光検出器(PD)のあるチップの直下に向かって、基板上にポリマー光導波路が配線される。

ミラーなどのカップラーは、基板からチップに、あるいは逆方向に光を垂直に送るために使用される。そのようなフリースペース光 I/O は、I/O パワーバジェットおよびバンド幅によって、チップ上の光デバイスと基板の間の垂直と水平のオフセット許容値の制約を受けることになる。レンズの使用によって許容値のいくらかは緩和できることが実証されたが、組み立ては複雑になり、実装密度も犠牲となった。水平方向のアライメントズレ

は実装中あるいは熱サイクル中に起こされることもある。それはチップと基板の間の熱膨張率(CTE)のミスマッチによるものである。そのようなアライメントズレは、PD に到達する光パワーを大幅に減少させ、その結果としてビット誤り率(BER)が増加し、バンド幅が縮小する。さらに、そのようなフリースペース光 I/O の結合方式は、アンダーフィルと相容れない。チップと基板間の接続には垂直な光導波路やポリマーピンというアイデアもある。そのうちのいくつかを Figure AP21 の中に示す。

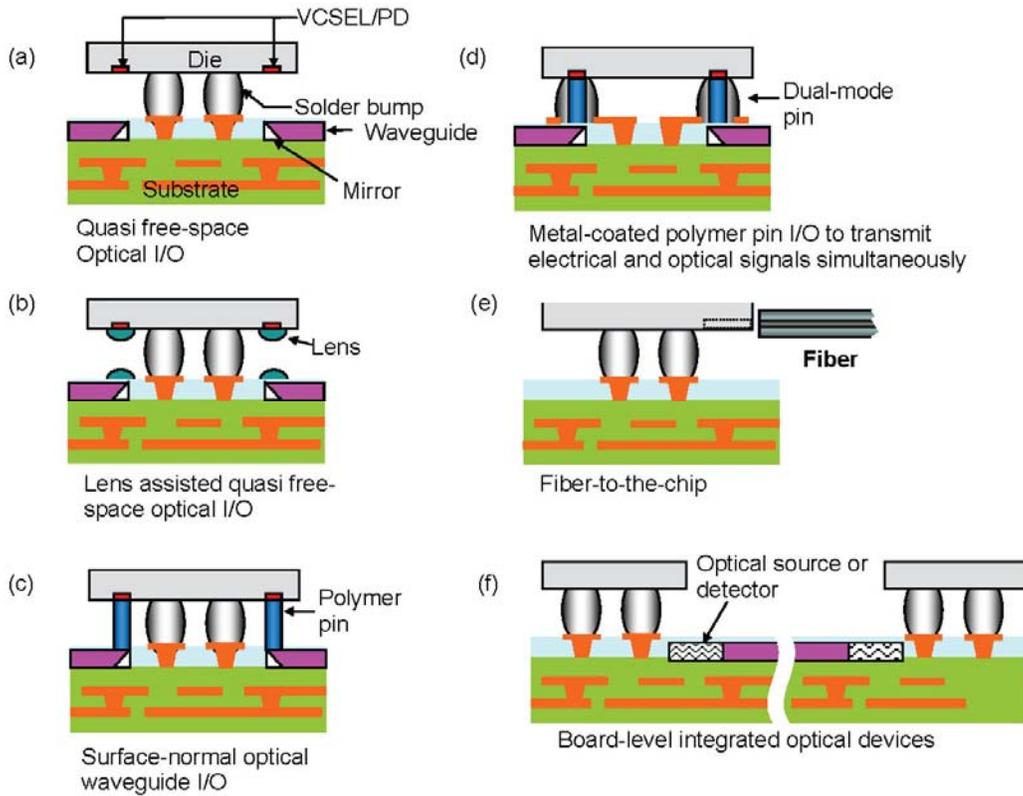


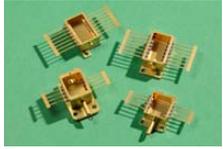
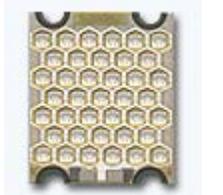
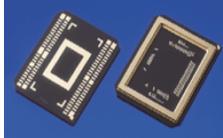
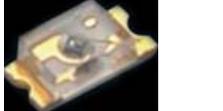
Figure AP21 Examples of Representative Guided Wave Optical Interconnects

58 Assembly and Packaging

通常のオプトエレクトロニクスパッケージ

光半導体デバイスは、スタンダード品とカスタム品のどちらも幅広い種類の形態でパッケージされる。これらのパッケージとその特性を Table AP14 に示す。

Table AP14 Some Common Optoelectronic Packages and Their Applications

Package Type	Example	Applications	Package Characteristics	Comments
Butterfly Packages		Telecommunications and data transceivers and laser sources	Metal ceramic hermetic SMT package Rigid; sub-micron stable	Contains edge emitting laser, TCE cooler, monitor, lens, etc.
TO Can with Molded in Connector		Optical source or detector die	Sizes TO-05, -18, -46, etc.	Built in optical chain.
TO Can with Window/Lens		Optical source or detector die	Hermetic, Sizes TO-05 and TO-18	Welded cap with optical chain.
Ceramic Package with Interconnect and Heat Sink		LED packages, especially for high power LEDs Used for light engines, backlights, etc.	High thermal conductivity, Reflective cavity/s, usually optical clear encapsulants	Single and multiple die, sometimes of different colors. Up to ~ 100 cavities with hundreds of die
Overmolded Die on Lead Frame		Single LED or detector die	Non-hermetic, few leads	Very low cost. Made in high volume.
Ceramic Package with Glass Cover		MEMS devices with movable elements, like mirrors	Multiple leads, highly hermetic. Devices highly ESD sensitive.	Variety of sizes. Used in DLPs.
Surface Mount Package		LED indicators	SMT sizes; 0804, 0603, etc.	Low power, low cost, multiple colors.
Wafer Scale Optical Packages		Camera modules	Small. Built on wafers in arrays.	Low cost. Saw singulation

光送受信素子の位置付けとパッケージング

データ転送レート – インターコネクトの課題は、基板上での 622Mbps から 100Gbps を超える全データ転送レートの実現である。低いデータ転送レートでは、屋外施設(OSP)用途に対する新しい環境要求と機械的要求を同時に満足し、組立工程の更なる自動化によって、パッケージは小型化してきた。通信事業者は、FTTX (Fiber to the “X”, XはP-敷地、H-ホームなど) 用途に対して、プラグ接続可能な光デバイスの新

開発と厳しい環境基準策定を進めている。より大きな密度をもつ高いデータ転送レートの要求は、低損失光導波路と、設計上で物理的な接続によらずフリースペース光伝送等の新しいインターコネクト技術の開発が促進されている。

距離 デバイスの到達距離を決める要因はコストとバンド幅、すなわち各距離に応じたより低コストのためのより高いデータ転送レートである。主要な到達距離は、300m 未満の超短距離(VSR)と、40km もしくはそれ以上の LR(SONET)/ER(GE)である。一般的なプロトコル(SONET と GigE)に対するプロトコルと距離のバリエーションを Table AP15 に示す。ファイバチャネルや銅線の適用の場合にも同様のバリエーションが存在する。

Table AP15 Protocol with Distance

Protocol	VSR	SR	SX	IR1 1310nm	IR2 1550nm	LR1 1310nm	LR2 1550nm	LX	ER	ZX	ZR
Sonet/ SDH	<2km	10km		20km	20km	40km	80km		X		X
GigE	300m	2km	500m		10km	20km	X	10km	40km	80km	80km

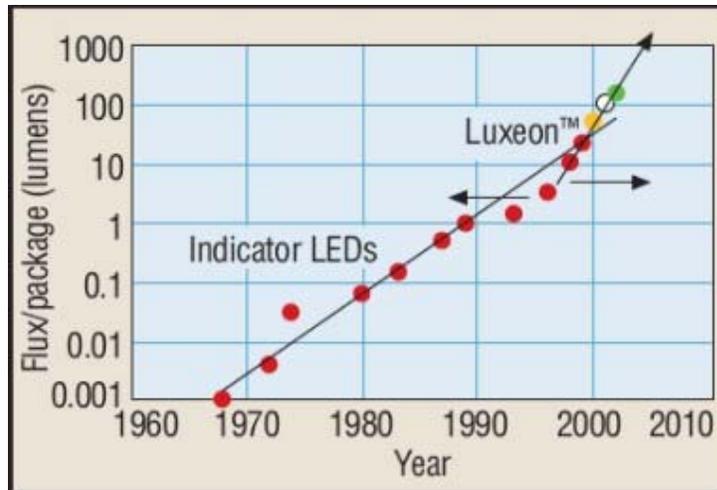
光送受信素子のパッケージング 市場の大半を占めているモジュールスタイルはモジュールとディスクリートから構成されている。ディスクリートのパッケージは、新技術の初期展開のためと、十年前の古い製品のために使われている。電気部品と光部品の部分組立は自動化されているが最終組立はほとんどの場合マニュアル組立である。

高輝度 LED チップのパッケージング

高輝度 LED には重要な技術的長所がある;

- 電気から光への変換効率(>25%で増加中。Figure AP22「Haizt’s Law」を参照。)
- 高速応答 (<1µsec)
- 小型(500µm sq.のチップ)
- 長寿命(>10,000 hr)
- 用途特有のその他長所

短所は主に経済性の面である。今日、高輝度 LED は、白熱灯や蛍光灯のような従来の光源に対して初期は高価である。しかし、ライフタイムにわたる経費を考慮した場合は節約になる。課題は、初期コストを継続して低減することであり、特にこの項では LED のパッケージングコストである。図 AP22 は、LED の光出力(ルーメン)を改善する技術を示している。加えて、電気/光変換効率もまた引き続き改善が進められており、蛍光灯の効率に近づいている。



LED flux per package has doubled every 18–24 months for the last 30 years

Figure AP22 Haitz's Law for LED flux.^{1,2}

LED チップは、脆く高価な III-V 半導体から作られている。したがって、チップは小さく(250 μm sq.まで小さく高さも同程度である)、脆弱であり周囲環境の影響を受けやすい。

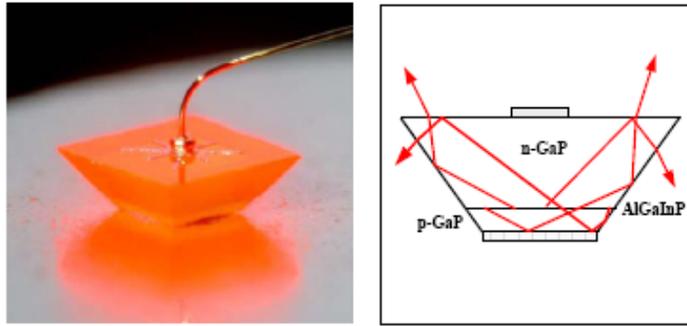
LED パッケージングは、所望の(出射)パターンで出る光の量が最大となるようなデバイス/パッケージ構造を必要とする。小さなチップの光抽出効率は大きなチップよりも大きい。なぜなら、大きなチップでは側面方向への発光が制限されるからである。光抽出効率はフリップチップ設計にすることで改善される。なぜなら半透明な金属電極によって光が減衰せず、高反射メタライズ構造の使用によって光吸収が劇的に減少し、また、ボンディングパッドやワイヤでさえぎられないからである。

製品には複数の異なった色の複数のチップが要求される事もある。異なる色は、異なる半導体化合物を意味する。したがって、異なったチップ寸法、ワイヤ接続/フリップチップ接続、任意のチップ搭載角度に適応できる組立プロセスでなければならない。多種類のウェーハから小さくて高アスペクト比のチップを吸着し、そして高速(>1 チップ/秒)に所望の位置から 25 μm の精度を持って基板上にこれらのチップを搭載できる装置は特殊仕様でのみ可能である

アセンブリは LED チップの形によって複雑になる。例えば、光効率は、Figure AP23 で示されるような逆ピラミッド形状にチップを形作ることによって改善される。この幾何構造は、パッケージへの光吸収を最小化する。しかしながら、この特殊なチップ形状によって特別な組立工程と装置が必要になる。

¹ Lumileds

² Paul Greenland and Werner Berns. "Powering Next-Generation Solid-State Lighting." National Semiconductor Corp. in Power Electronics. May 1, 2004.



Graphic courtesy of Lumileds. Reference for credit is in footnote.³

Figure AP23 AlGaInP/GaP Truncated Inverted Pyramid

LED チップは、 $250\mu\text{m sq}$ まで小さくなる場合もあり、単位面積当たりの電力消費が高くなる。その場合、高熱伝導の基板および材料が必要となる。

LED チップは、環境保護や、発光スペクトルを調節するために有機の光学材料で封止されることもある。白色光源は、青色 LED を用いて、透明な封止材料に添加した白色発光体を励起させ作られる。

トータルコストは、電力条件や制御回路類の要求度合いによって様々である。LED は 110VAC 上では作動せず、高輝度 LED チップは、 $0.25\sim 0.5\text{A}$ で $3.5\sim 4.0\text{V}$ を必要とする。色調と輝度は、パルス幅変調で調節される。したがって、LED チップを搭載したこれら電子部品のパッケージングは、コスト削減の可能性を与える。

光学利用のセンサ・パッケージング

これらのデバイスの多くは、あるパラメータの存在、あるいはパラメータの変化を検知できるセンサとしてオプトエレクトロニクスを利用している。これらのセンサは大抵の場合 LED の光源を持ち、環境あるいは試料に対して光を相互作用させるオプティカルチェーンと、検出器を持っている。そして対象の化合物があるかないか、もしくは対象とする事象が生じているかどうかを決定する信号処理機能を持っている。課題および解決策候補を Table AP16 に記載する。

³ http://www.lumileds.com/pdfs/TP41_IESNA_Buffalo_6-04.pdf. Link to a Lumileds presentation covering a broad range of High Brightness LED topics.

Table AP16 Optoelectronic Packaging Challenges and Potential Solutions

Challenges	Potential Solutions
<i>Optical Transceivers</i>	
New technology at high data rates is mostly discrete assembly	Greater integration at subassembly with automation
Higher densities in applications	Further reduction in size by increasing densities of optical signal by use of new interconnect technology. Use of more free space interconnects.
Increased mechanical and environmental stresses for FTTX applications	Lower reliance on direct contact lens applications, increased development in mirror and bandsplitter technology
Chip level interconnects	Material selection, development of low loss waveguides, use of free-space optics
<i>High Brightness LEDs</i>	
Raise the electrical to optical conversion efficiency	Improve the semiconductor materials, packaging materials and package design
Dissipate the heat	Improve the package materials and design
Reduce the cost	Improve assembly processes and equipment. Configure factories to produce these products
<i>Optically Based Sensors</i>	
Find needs and create economically viable solutions.	Develop a broad understand of the optical technologies, the components available and the economics of the application.
Methods to build stable optical chains	Materials that do not change from exposure to water, UV, heat, aging, or the chemistry of the application environment.
Develop standards for the optical components	Industry collaboration

RF とミリ波のパッケージング

携帯電話は、5GHz までの RF パッケージングの開発を推進してきた。今日、携帯電話は、GSM、GPRS、EDGE、UMTS のような様々な規格、あるいは新しい HSDPA(High Speed Downlink Package Access)規格のために更に多くの周波数帯を使用している。加えて携帯電話は、RF と関連する GPS、WLAN、WiFi あるいは Bluetooth のような多くの機能を取り込んでいる。一般的に携帯電話の RF 部は、SAW と BAW のフィルタあるいは RF MEMS のような受動素子を含む、RF フロントエンド、トランシーバおよびパワーアンプ(+パワーマネージメント)チップから成る。一般傾向としてはシステムインテグレーションに向かう。今日、既に、GSM、GPRS、EDGE および HSDPA を取り込んだ RF 部のための SoC ソリューションが存在する。

今日、I/O 数の少ないトランシーバ (多くの場合単一バンドのトランシーバ)に対し、比較的安価な VQFN タイプのパッケージが、一般的に使用されている。マルチバンド用途に対してもフロントエンドのチップ設計の改善により、I/O 数の低減が図れ、VQFN タイプのパッケージが用いられるようになった。LFBGA タイプのパッケージは、マルチバンドを含むより複雑なトランシーバに一般的に使用される。また、トランシーバは SAW フィルタやベースバンドなどを含むシステムインパッケージとして高集積化される。今日の新しい携帯電話では、WLP タイプのデバイスを搭載したトランシーバもある。それには、低価格、小型化および RF 性能という長所があるが、集積度は低い。

パワーアンプは、特にモジュールとして設計されている。あるソリューションでは、モジュールにおいてフロントエンドのアンテナスイッチを備えたパワーアンプとして集積化されている。

RF 部に使用される主な接続技術は、ワイヤボンディングであり、この技術は 5GHz までの高周波化においても有用である。フリップチップはより複雑な SiP の構造に使用される。トランシーバにおいては、受動部品の集積化が進展しており、受動部品の Si 基板への集積化が期待される。

複雑化していく RF 部品の構造は課題のひとつである。したがって、将来において新しいパッケージの取組みが必要になる。適切な再配線によって複雑さを緩和できる薄膜技術は有望な解となり得る。再構成ウェーハおよび薄膜技術を利用した内蔵型 WL-CSP は、様々な周波数帯域で今後の複雑な RF デバイスに対する有望な具体例となるだろう。それらの技術によって、受動部品の集積化やベースバンドと RF 部の統合

などができる。さらに将来、Si 技術が向上すると、適切なパッケージソリューションを必要とするソフトウェア無線アーキテクチャについても議論される。

SOI 基板上の SiGe や CMOS のような RF CMOS や CMOS に基づいた技術が、100GHz の範囲かあるいはそれを越える領域まで研究されている。その領域は 24 GHz および 77~81GHz で、車載レーダー用途である。これらの高周波パッケージングは非常に難易度が高い：最重要課題を以下に示す。

- 材料の制約(多くの新材料において必要な高周波データがない)
- 熱放散(~3W/mm² レベル)
- シールディング
- 伝送線路(コプレナもしくはマイクロストリップライン)
- クロストーク

薄膜を使った高周波パッケージ技術は、伝送線路設計に対して高い適応性が期待が出来る。40GHz を越える周波数では、パッケージへのアンテナの統合もまた期待される。SiP ソリューションは、内部伝送線路を 50 オームに調節する必要がなく、それによって性能向上をもたらすという優位性をもっている。

メディカルおよびバイオチップパッケージング

メディカルエレクトロニクスの要求の大半は、SiP によって解決される。これは、バイオセンサ、補聴器、ペースメーカー、体内埋め込み型の電気除細動器などの体内埋め込み型で着用可能な機器には特に適している。さらに体内埋め込み型のエレクトロメカニカル・システムは急速なペースで開発され認可されている。新たな用途としては、ドラッグデリバリーから、神経刺激のための集積回路を備えたバイオマテリアルの統合まで及ぶ。生体適合性のある RF 回路およびアンテナ構造を組み込んだリアルタイムデータ・モニタリング用の遠隔測定技術が、将来の製品に組み込まれる。メディカル製品に対する要求は下記の 2 つの重要な例外を除けば、一般の SiP 製品と同等である。第 1 に、故障はユーザにとって致命的になり得るので、SiP タイプのメディカル製品に必要な信頼性は、最も高いレベルが必要である。第 2 に、パッケージは体液にさらされる環境に耐えなければならない。メディカル SiP には更に開発が必要とされるいくつかの領域がある。それらには、次のものがある：

- 確実に人体とパッケージを通過して遠隔のレシーバに通信することができる信号を備えた、ローパワーで生体適合性のある無線信号。このレシーバは、ユーザに着用されることになる。
- 改善されたインターコネクトによって電力消費量を低減
- 体内埋め込み型製品の電池寿命を延ばすためのユーザの体温(最大 30 μ W/cm²)、または運動(最大 10 μ W/cm²)からのパワー補給。これには、生体適合性のある MEMS SiP 部品の研究開発が必要である。
- シリコン上でのニューロン生成のようなバイオとシリコンの融合。これは、シリコンデバイスが脳波をモニターすることで発作を検知し、神経刺激による発作の抑制を可能にする。
- RF デバイスが多くの周波数を用いるユビキタス社会においては、医療機器用無線遠隔操作での信頼度の高い相互操作性

バイオメディカルデバイスで使用される一般的な方法の 1 つは、適切な光源を使って試料を照らし、次に、狭周波数帯光学フィルタを利用した光検出器を使って 2 つ以上の波長間強度を測定することによって、存在の有無あるいは相違を検知することである。

このセンサのコンセプトを組込むバイオメディカルデバイスの多くは、妊娠、グルコースレベル、血中酸素濃度、大気中の CO あるいは NO_x のレベルなどを検出するために作られた使い捨ての製品である。したがって、それらは、丈夫で、小さく、バッテリー駆動の最小電力、かつ低価格で生産されなければならない。

これらの製品のパッケージングに関する問題は次の通り：

- 下記を満たす構造設計、特に光学素子について
 - 光学的アライメントの初期保証

64 Assembly and Packaging

- 製品の使用期間におけるアライメントの維持保証
- デバイスの寿命内における光学システムの完全性
- 材料選択、特に接着剤
- 光学システムや関連する電子装置の、外部光や EMI からの保護
- 評価あるいは検出プロセスで使用される流体を含む環境からのデバイスの保護
- 光学的アライメントを行う手順と組立方法の選択

MEMS デバイスパッケージ

MEMS (Micro Electro Mechanical Systems) デバイスに対しては多様な要求があり、そのため用いられるパッケージングも多種多様である。これら MEMS デバイスへの要求、それに伴うパッケージングソリューションは IC パッケージングのそれを遥かに凌駕しており、結果的に非常に多種のパッケージ形態を生み出している。MEMS パッケージの例としては、以下のようなものがある。

- 送受信スイッチのようなデバイスでは腐食/劣化防止を目的に水分を除く必要があり、安定作動のためには、不活性ガス封止パッケージが必要となる。
- 圧力センサは大気開放されている必要があるが、同時に湿気によるダメージに対しては、耐性がなければならない。
- カメラモジュールのような光学素子は塵埃の影響から保護される必要がある他、光学面上に経時的に堆積する有機成分からも保護される必要がある。また、光学窓を設ける必要があり、製品寿命を通して光学系のアライメントは維持されなければならない。
- 真空や不活性ガス等制御された雰囲気が必要なデバイス。
- 検査液体の閉じ込めと耐リーク性が求められる液体分析用途のデバイス。
- CMOS デバイスよりも厳しい ESD 耐性が求められるデバイス。

MEMS とは微細電気機械システムの意であるが、実際に MEMS と考えられているデバイスの多くには機械的可動部分が含まれていない。

MEMS パッケージングの最初の選択肢は標準的な汎用 IC パッケージである。しかし、そうしたパッケージングは特殊な MEMS 用途には不適な場合が多いので、設計者はパッケージデザインを変更するか、独自のパッケージを設計しなおす必要に迫られる。

ウェーハレベルパッケージングが出来るように MEMS デバイスを設計する場合もある。そうしたウェーハレベルパッケージングのあるものはウェーハ全面封止を用いたり、ウェーハとウェーハを直接接合する手法や、MEMS 構造内にキャビティ(空洞部)を形成し、デバイス製造時にそれを封止する手法などを用いている。こうした MEMS パッケージング方式の選択や設計は往々にして MEMS 製品の製品化努力の大半を占める。

最近、MEMS デバイスのコスト削減や性能改善のために用いられる重要技術の一つとして、駆動、制御、信号処理を行う標準的な半導体デバイスとの集積化技術が注目されている。このアプローチによってさらなる集積化とコスト低減が可能となる。それは多くの MEMS デバイスの場合、キャビティを持った安いウェーハレベルパッケージングにより可能となる。MEMS 構造にバンプやチップを貼り付けることによってパッケージ応力を緩和する技術もまたウェーハレベルパッケージングでは重要な課題である。

以下の2つのTableにMEMSパッケージング技術の概略といくつかの適用例⁴を示す。

Table AP17 MEMS Packaging Methods

Type of Package	Applications	Characteristics
Plastic Overmolded, Leaded and Leadless	Resonators, accelerators, inertial sensors	Low cost
Premolded Plastic Air Cavity, Leaded and Leadless	Pressure sensors, accelerators, microphones	Low cost cavity package
Ceramic With Metal Lid or Metal Cap	Lab on a chip, optical devices, RF switches	Highly stable, costly, complex to engineer and fabricate. Control of cavity environment; dry, vacuum, inert gas, etc.
Ceramic with Glass Cover	Optical applications; CCD packages, DLP	Stable, moderate cost, optical window.
TO-5 with Hole or Window	Pressure sensors, some optical devices	Low cost, widely available
Glass on Glass	Optical applications; displays	Large cavity packages, sometimes with standoffs
MEMS on Organic Substrate with Glass Cover	Optical switches, displays	Quick to market, low cost.
MEMS on Substrate organic, Ceramic, etc. Wire Bond, Partial or Total Encapsulation	Inkjet print heads, fingerprint readers	
Wafer Level (structure built, then singulated)	Camera modules	Lowest cost in volume.

Table AP18 MEMS Packaging Examples

Market	Automotive	Consumer	2D Optical Switch	3D Optical Switch	Network Switch	Wireless
Application	Acceleration, airbag sensor	Video games, appliances	OADM, enable	WAN, LAN Networks	Electronic Switches	Saw Filters
MEMS Type	2 axis accelerometer	3 axis accelerometer	64 Mirrors, 90° motion	1800 Full motion mirrors	Contact switch	Planar filter
Package Size	TO8, 14 ld CerDip	Surface mount CLCC	Custom metal, 82 mm ²	Custom Ceramic, 184 mm ²	LTCC, 27mm ²	PWB, 40mm ²
Clean Room	100, 10000	100, 10000	100, 10000	100, 10000	100	10000
Die Bond	Epoxy	Epoxy	AuSn Eutectic	Epoxy	AgSEutectic	Epoxy
Wire Bond	0.7 – 1.0 Au ball	0.7 – 1.0 Au ball	1.25 Al, 1.25 Au, 6.0 m Al	1.25 Au Wedge/ball	1.0 – 1.25 Au ball	1.0 Au ball
Seal	Seam seal	Molded	Seam seal	Seam seal	Epoxy	Epoxy lid seal
Leak Test	Gross/fine	None	Gross/fine	Gross/fine	Gross/fine	None
Additional	-	-	Fiber optics, connectors	Flex circuit, connectors	PWB connectors	SMT connector
Manufacturing Level	Production	Production	Pre-production	Pre-production, R&D	Pre-production, Proto	Pre-production, Proto
Package	Ceramic, CERDIP, Hermetic	Plastic, ceramic, hermetic, CLCC	Custom-68 I/O	Custom – 800 I/O	LTCC Panel	PWB Panel

織物埋め込み型及びウェアラブル電子部品

ウェアラブル電子部品

織物中への電子部品埋め込みには4つの大きな課題が存在する。

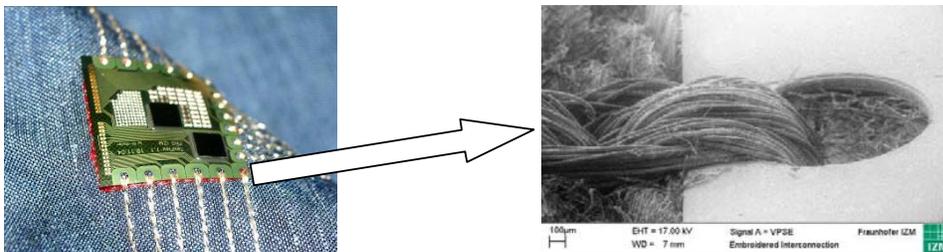
- 導電性織物による電子部品間接続。
- 電子部品の封止とそれらの電氣的接続。
- 導電性織物の絶縁、若しくは予め絶縁された織物コンダクタの局所的除去。
- 種々の応用に対する織物埋め込み電子部品の信頼性試験手法の開発。
- 低コストでの大量生産。

最も一般的な部品間接続の方法には半田接合、接着剤接合、折り目入れや縫取り方式がある。

Fraunhofer IZM がこの分野で、いくつかの研究を報告している。織物埋め込み型電子部品の封止技術として現在研究されているものにはトランスファ成形、熱溶融封止、液状レジン封止といったものがある。部品間接続、封止といった面では、それがウェアラブル電子部品応用であれ、織物の技術的な応用であれ、それらが”織物”として典型的な用いられ方をする間、いかに信頼性を保証するかという点に課題が存在する。

まだ十分に研究されていない重要課題としては導電性織物の絶縁、またその逆に、予め絶縁された導電性織物の絶縁を局所的にどのように除去するかという課題がある。解決手法のアイデアには薄層貼合や液体コーティングがある。注目されている材料としてはポリウレタン若しくはシリコーンがあるが、いずれも溶剤中に溶かして用いられるか、2成分系の硬化材料として用いられる。さらに困難な課題としては”スマートコーティング”とも呼ぶべき技術の開発があるが、そこでは非導電性の織物部の性状を維持したまま、金属部だけを選択的にコートする必要がある。

電子部品が実際に織物中に織り込まれる前に、それら織物埋め込み電子部品の耐洗濯性、耐疲労や他を含む信頼性試験手法を開発することが不可欠である。これは、単に電子部品と織物の試験標準を足し合わせれば済むといった類のものではない。なぜなら両者は、必ずしも相補的ではないからである。むしろ織物中の電子部品に掛かる真の応力レベルに合わせた新規な信頼性試験手法、標準を確立する必要がある。Figure AP24 に示す。



Graphic courtesy of Fraunhofer IZM

Figure AP24 *Texflex Embroidered Interconnects*

標準的なフレックス回路組立では一方向にしか、曲げ変形が許容されない。従って円柱や円錐には適用可能だが、球体のようなさらに複雑な形状には応用できない。これには回路表面の伸縮性が要求される。フレキシブル基板をさらに伸縮可能にするためには、低弾性ポリマ、例えばシリコーンやウレタンのような材料を用いる必要がある。しかしながら電子部品間の接続のためにはこのポリマ・マトリックス表面または内部に電氣的配線を施す必要がある。この伸縮可能な高分子材の内外部に伸縮可能な導電性接続を取ることは難しい課題である。

フレキシブルコンダクタの実現技術:

- ・ バネ形状(例えば S 字形曲線)の導体を組込んだ金属接続。こうした形状を取れば、典型的に接続長をより長く、接続密度をより低くすることに繋がる。一方向伸張性の導体については、良好な結果が示されている。以下に示すように直行する 2 方向に可伸張性が求められる場合には、より設計が困難になる。
- ・ ポリマ・マトリクスへの導電性粒子の添加。この場合、導電性が確保できるレベルまで高い充填密度が要求されるが、それは本質的に伸張性を阻害する要因となる。歪量に応じて導電性は大きく変化する。
- ・ 導電性ポリマ添加による高分子体への導電性付与。高い導電性を得ることが主要な課題である。

金属配線と導電性ポリマ若しくは埋込み導電粒子との組合せ: 通常の導体金属配線はより高抵抗の導電性ポリマによる配線手法と共に用いられる。その場合、導電体の伸張は主にポリマ・マトリクスの一部分で生じ、大半の電流は平行する(金属)導体線路を通して流れる。

フレキシブル電子部品

フレキシブル電子部品は次の 10 年後には数 10 億ドルレベルの産業に成長し、エレクトロニクスの認識に革命をおこすであろう。可撓性、極薄性、軽量性、潜在的な低コスト性、高信頼性といったフレキシブル電子部品のユニークな特徴はコンシューマ電子機器、航空宇宙電子機器、生命科学、軍事応用並びに遠隔通信といった分野に計り知れないインパクトを与えることが予想される。フレキシブル電子部品は現技術では実現できない程広範なデバイスの応用展開を可能なものとするであろう。IC や表示装置を一体化した“スマート衣類”とでも呼ぶべきものは多くの消費者に受け入れられ、医療/軍事分野でも多数の適用対象を見出すであろう。“スマートアクティブ包帯”の可能性の他、適用に応じて随時構成変更可能なシステムやセンサ、微小薬剤投与システム、能動的/集積された人工器官、超並列型フェールセーフ装備された分散型環境センサ等の様な医療用途の各種デバイスが実現されれば、それは種々の疾患や病原体の検知/対策の取組みを根本から変革する可能性を有している。実際の例としては、

- ・ エネルギー分野: 大サイズ、低コスト太陽電池、高効率照明。
- ・ 軍事応用分野: 兵士が携帯可能な動力源、頑丈で軽量のイメージング装置。
- ・ 医療応用: 医療センサ、インテリジェント包帯、柔らかい表皮組織移植。
- ・ 農業及び土木インフラ分野: 広範囲センサネットワーク、食品安全性。
- ・ 運輸分野: 危険警告、自動化道路システム、荷役コンテナ履歴モニタ。

上述した応用領域や製品は加工、プロセス、材料等の面で相当のインフラ整備を必要とするであろう。ここで示した製品の多くはメートルからサブミクロンに至るまでの広範囲な尺度を持つ大面積のフレキシブル電子部品が必要とされる。そうした製品製造を可能にするツールやプロセスは現在のところ存在しない。また新規の基板材料やバリヤ材、新しいコーティング材や接着剤も必要とされるようになるだろう。例えば体内埋込み電子デバイスを必要とする医療応用では、デバイスは毒性のない、安定かつ苛酷な化学的環境にも耐えうる材料で製作される必要がある。航空/宇宙応用では特殊な放射線耐性が必要になるだろう。また、ウェアラブルな織物埋込み電子部品については、一般的な衣類洗濯に対する耐性が必要とされる。

車載用電子装置

高性能の車載用電子システムは次世代自動車設計にとって必須となっている。高精度操作性、ワイヤハーネス削減、さらにはより高いエネルギー効率の実現等に益々多くの電子部品が必要になっている。それらには最新鋭の IC パッケージングが用いられるようになるが、その結果、搭載される電子システムは益々小型、低電力損失、軽量そして複合機能化されて行く。そこでは自動車、電子機器、半導体製造の各分野間の緊密な連携が不可欠である。新しい動力源の開発、インテリジェント化レベルの改善や情報サービスと言った面で、自動車は革命的な変化を遂げるであろう。

世界の自動車販売台数は 2000 年から 2010 年にかけて約 4%の年率成長を続けるであろう。これに比して、電子機器システム市場の成長は 2000 年から 2010 年に掛けて、年率約 10%以上の成長を続けることが予測されている。自動車システムに含まれる主要分野は動力伝達、車台、安全、セキュリティ、車体そして運転情報であるが安全と運転情報の分野において、もっとも高い成長が見込まれる。新開発の電子機器システ

ムとしては、夜間視覚システム(例えば、高齢運転者補助用途)、衝突事前安全システム、そしてハイブリッドシステム(燃料の高効率利用が可能)である。ハイブリッドシステムの優位性は加速性能と燃費の双方に改善がもたらされる点である。

今日、自動車製造に占める電子機器コストはコンパクトカーで 15%、高級車で 28%、ハイブリットカーで 47%(出展:M.Hattori, Toyota, セミコンジャパン 2006)である。車載用電子機器システムにとって小型化は非常に重要な課題である。電子機器システム搭載に充当されるスペースは限られている。自動車に搭載される電子機器システムの数は、数年後には急速に増加することが予想され、電子機器の体積を最小にすることが要求される。

最も困難な課題はリーズナブルなコストで小型化した電子機器システムの開発を行うことであるが、ハード/ソフトの双方が重要になってくる。従来の QFP から BGA、CSP に置き換わって行く。車載用電子機器の小型化要求は電子システムのダウンサイジングを促進して行くであろう。自動車業界では携帯電話やデジタルコンシューマ応用で既に実用化されている技術に追い付くことを狙いとしている。例えば、ハイブリッドカーメーカは 30kW クラスのモータ制御用途に最適化された IGBT を開発した。

信頼性については、車室とエンジン室で分けて考える必要がある。車室では LSI に最大 85°C までの環境温度が求められる。エンジン室には 3 つの異なる環境要求温度があるが、冷却システムを備え、特別に設計された位置では 105°C (Toyota より)、エンジンシリンダブロック近傍では 125°C、またエンジンシリンダブロックに接した位置では 140°C までの環境温度が LSI には求められる。このような条件では SOI デバイス構造が将来的に非常に魅力的である。

動作環境仕様

<i>Metric</i>	<i>Specification</i>
<i>Automotive Maximum Temperatures (Ambient Temperatures)</i>	
Passenger Compartment Dashboard, panel Hatrack	+85°C +120°C
Chassis Isolated areas Exposed to heat source	+85°C +125°C
Transmission Exposed to heat source Exposed to oil/hydraulics (today always bare die on ceramic substrate)	+125°C +175°C
Engine Compartment Moderate areas Attached to Engine (today always bare die on ceramic substrate)	+125°C +155°C
Storage Range	-55°C to 125 °C
Operating Range	-40°C to 150°C
Typical Mission Profile	-40 to - 20°C / 300h -20 to + 20°C / 600h 20 to +130°C / 4000h 130 to +140°C / 1000h +150°C / 100h
<i>Vibration</i>	40g / 10-1000Hz (depending on customer)
<i>Mechanical Shock</i>	50g / 11ms (depending on customer)

エンジン制御や車台用途の次世代の(単一部品として)高性能電源技術を用いる部品は-40°Cから 125°C の雰囲気温度にさらされる。これらの要素部品には埋込み Flash、マイコンや LDMOS が使用されるであろう

が、この場合、LDMOS 回路は 20-40°C の更なる温度上昇を招き、シリコンデバイスとパッケージングは -40°C から 165°C (周囲温度+放熱) の温度域に対応しなければならない。(これはコントローラや Flash メモリにとっては、非常に厳しい条件であり、パッケージの熱放散性は極めて良好であることが要求される)。さらにこうした用途向けのパッケージとシリコンデバイスは、350°C-400°C のホットスポットに耐える必要がある。

将来のもう一つの応用例は車載レーダーであろう。将来的には全てのコンポーネントは SiP 内に統合されるが、これは雰囲気温度範囲 105°C に加えて 10-20W 相当温度上昇への耐性が要求されることを意味する。

太陽電池パッケージ

太陽エネルギー利用の急速な伸びによって、太陽電池と電池アレイのための特殊なパッケージング要求が出てきている。太陽電池モジュールは極度の温度環境にさらされ、他のパッケージに比べて非常に長い寿命を要求される。太陽電池アレイに使用される光起電モジュールの最新状況は以下の通りである。

- 半導体厚みは 180 μm
- 高スループットのタブ・ストリング (tabber-stringer) によるはんだ付け
- 真空ラミネート
- EVA 封止材
- 25 年間の寿命保証

太陽エネルギーの継続的な利用拡大と期待される要求に応えるために、新たな技術に焦点を当てる必要ある。これらの新規要求には下記のような項目が含まれる。

- 極薄太陽電池(100-150 μm 厚)用の低応力接続
- 高スループットラミネーション技術
- 鉛フリーはんだ技術
- 30 年の寿命
- 寿命時の簡便リサイクル設計

先端パッケージ要素技術

内蔵・集積された能動/受動デバイス

集積受動素子(IPD)は、受動素子のみを持つ部品である。それらは R, L, C の三種類全て、もしくは二つ、または一つの種類の組合せがある。各要素はお互いに接続されて、ネットワークやマッチング、またはフィルタ機能を実現する。或いは、単独で使われ、抵抗性、誘電性、容量性の機能を実現する。

薄膜酸化膜や絶縁体としてのポリマのような新しい材料は、キャパシタについてはマイクロファラッド(μF)のレンジまで最大容量値を上げることができる。また、標準的な再配線の他、グランドプレーンとインピーダンス整合した RF 信号の伝送配線を実現できる。

ウェーハレベルの薄膜工程(ポリマ-金属-酸化膜)技術によって、以下の数値範囲の受動素子を持つ特定用途の WL-IPD を作る事ができる。

- Resistors: 10 Ohm–150 kOhm (e.g., NiCr 100 Ohm/sq; TaN 25 Ohm/sq.)
- Inductors: 1 nH–80 nH (Q: 30–150)
- Capacitors: (3–6) pF/ mm^2 ($\epsilon_r=2.65$, e.g., polymer BCB)
- Capacitors: (1–3) nF/ mm^2 ($\epsilon_r=23$, e.g., Ta_2O_5)

この WL-IPD の数値範囲であれば、携帯電話で要求される受動素子のキャパシタのほぼ 70%、レジスタのほぼ 95%、ほぼ全てのインダクタの搭載が実現し、システムの小型化が可能となる。

WL-IPD は、シリコン、アルミナやガラスのような異なる薄膜を用いた、ワイヤボンド接続が可能な部品と同様に、フリップチップのように搭載できるよう設計されている。Figure AP25 は、多層ポリマと Pyrex 上の金属(Cu)配線層からなる、二つのローパスフィルタと三つの 3.9nH のインダクタ、二つの 1.8pF のキャパシタを持つ CSP としての集積受動素子の例を示す。

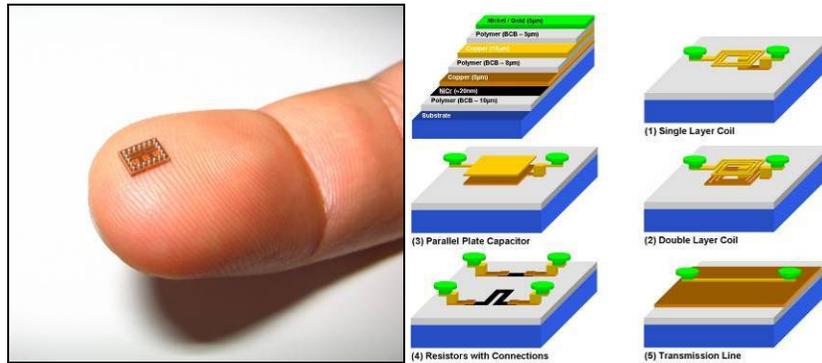


Figure AP25 CSP with Integrated Passive Devices and Thin-film Build-Up Passive Elements

IPD 実現の現在のボトルネックは、キャパシタ形成だが、シリコンの深堀り加工における高アスペクト比の DRI エッチングとの組合せによって、20-30nF/cm² のキャパシタが実現する。この有望な技術は、ウェーハレベルのシステム・イン・パッケージの開発にフォーカスしている幾つかのメーカにより現在開発中である。Figure AP26 参照。

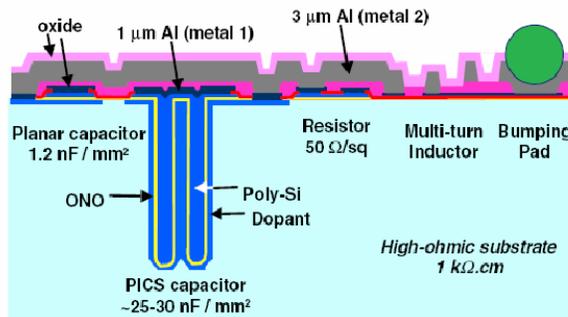


Figure AP26 PICS Substrate with High Density "Trench" MOS Capacitors, Planar MIM, Multi-Turn Inductors, and Poly-Si Resistors [13]

内蔵された能動/受動素子

昨今の内蔵能動素子の応用としては、携帯電話の関連部品、例えば、TV チューナ、指先 ID センサなどである。携帯電話の製造メーカや半導体製造メーカは、内蔵能動素子を用いた次世代通信モジュール製品に期待をしている。例えば、能動素子を内蔵することによって空いた基板表面に受動素子を形成した GPS やワイヤレス LAN がある。更に、電源供給ユニットにおいては、内蔵能動素子や表面実装受動素子の適用について市場から強い要求を受けている。また、携帯電話カメラの CMOS センサのようなイメージセンサとストロボライトは小型化のために表面実装受動素子を持つ内蔵能動素子を適用していく。近い将来、DSC と同

様に、積層メモリデバイスを使う ASIC やグラフィックプロセッサは内蔵された能動素子や受動素子を適用していただく。

今日、内蔵する能動デバイスは二つのタイプが知られている。一つは、機械強度を高めるために、再配線フィルムにより直接銅ポストのないチップに接続したウェーハレベルの薄型内蔵素子。もう一つは、スタッドバンプや銅ポストを持つフリップチップを有機基板に内蔵したものである。Figure AP27 は、その概要を示す。

基板内への内蔵された能動・受動素子の効率的生産のためには、プリント回路基板製造のパネルサイズで利用できるチップボンダが必要である。内蔵技術の主要課題は、テスト、歩留と品質保証である。内蔵能動・受動素子を市場に供給するためにはサプライチェーンメーカーでのテストの標準化と責任が必要である。

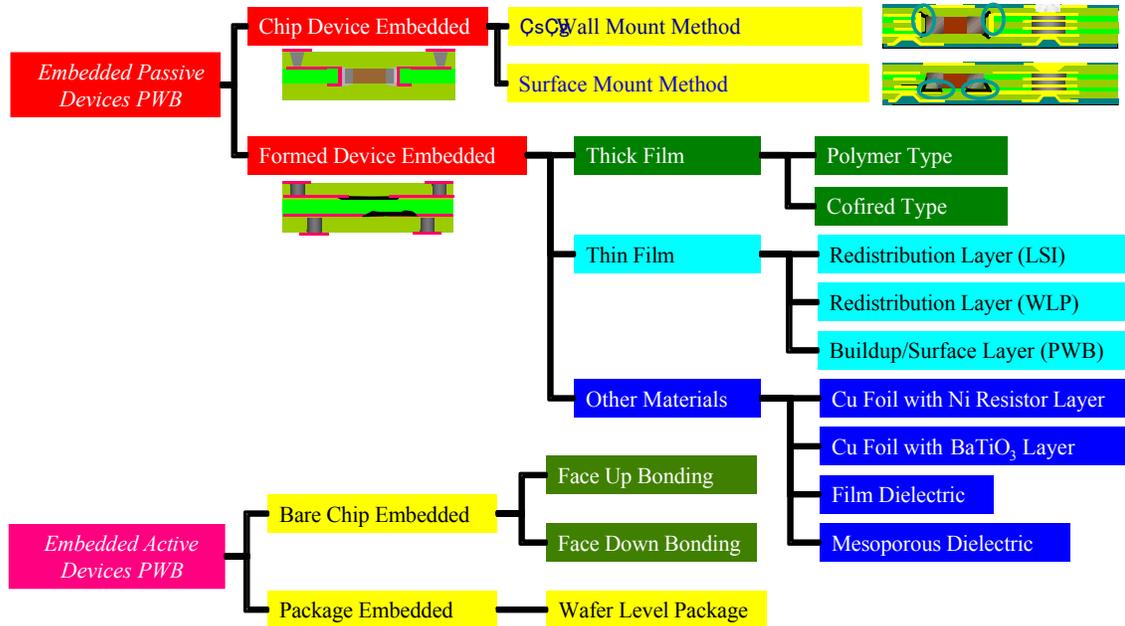


Figure AP27 Overview Embedded Active Devices and Passive Devices

ウェーハ薄化、個片化

ウェーハ薄化の技術課題は、どのようにウェーハを削るかではなく、どのように薄研削後にチップの強度を維持するかである。主に次の三つの技術開発がある。研削後のストレス除去、研削前ダイシング(DBG)方法、ウェーハキャリア支持である。チップに対しては、ウェーハ薄化や個片化に起因するチップングやクラックダメージを防止しなければならない。DBG や樹脂接合ホイールによるウェーハ研削のように精細なウェーハ研削手法が開発されてきている。追加されるポリッシュやストレス除去プロセスは、2007 年で 20um 厚、2015 年で 8um 厚の薄いチップをパッケージ内での外部応力に対応させるために要求される。ウェーハの個片化はチップ強度を維持するための、もう一つの鍵となる技術である。ホイールダイシングは、個片化手法の主流であるが、チップの端面でのチップングは後工程での外部ストレスによるチップクラックを引き起こす可能性がある。

レーザカットやプラズマエッチングのような新たな個片化手法が必要とされる。一つの手法としては、シリコンウェーハ表面の下に赤外線レーザビームを集光させて、内部から外部へ向かうウェーハの割れをコントロールするために欠陥ラインを作るものである。個片化は、その欠陥ラインによって割れが進行するか、或いはウェーハが貼られたテープのエキスパンドによって行われる。

パッケージ材料への要求

パッケージ材料は、アセンブリとパッケージング技術の中心となる技術である。パッケージ材料は、パッケージのトータルコストへの影響と同様に、パッケージ化されたデバイスの性能、信頼性や動作特性に重大な影響を持つ。“More Moore” や “More than Moore”の実現と共に、次世代のデバイスに対する既存パッケージへの要求や、SiP パッケージ、ウェーハレベルパッケージング、IPD、TSV のような新しいパッケージタイプへの要求、そして RF、MEMS、オプトエレクトロニクスの実用製品への要求によって、パッケージ材料に対する課題は広がってきた。

アセンブリとパッケージング技術は材料における変化が非常に大きい。昨日のパッケージ材料仕様の要求は明日も同じとは限らないような状況で、これらの変化は今後更にペースと範囲の拡大が加速すると思われる。最近の新材料の多くは、鉛フリーや RoHS (有害物質の削減のための欧州連合指令)を含む、環境規定遵守の要求によって導入が加速されている。鉛フリーとハロゲンフリーに適合する“グリーン”材料への移行が急激に進んでいる。企業は、RoHS 要求に準拠するために新しいパッケージング材料へ換えていく際、新製品パッケージに対して“グリーン”材料を採用してきている。モールド樹脂、ダイアタッチ材料、アンダーフィル材料、放熱材料(TIM)を適用している従来からのワイヤボンドやフリップチップパッケージの材料、或いはパッケージ基板に対する材料は、鉛フリー、ハロゲンフリー、Low-k/ULK の要求に合致するよう改善されなければならない。

新材料や材料加工技術は、先端次世代デバイスのパッケージとアセンブリに対する技術要求に合致することが必要である。ワイヤボンドとフリップチップ技術は依然として基本的な接続方法であるが、Low-k 絶縁材料の適用や消費電力上昇と携帯民生機器の増加によって、従来の材料に対して新たな要求が発生する。例えば、機械的に弱い Low-k やさらに弱い Ultra low-k を適用したデバイスでは、 bumps 材料特性に適合するアンダーフィル材料特性の設計は、絶縁層の応力ダメージのリスクに対して重要である。多くのデバイスにおける放熱量増加と温度不均一によって、放熱材料の新たな開発が重要となる。チップ積層、パッケージ積層、低背パッケージによる小型化を進める上では、従来のシングルパッケージ対応に開発されたモールド樹脂、アンダーフィル樹脂、及びダイボンド材料の改良が必要である。

SiP、ウェーハレベルパッケージング、内蔵能動/受動素子、TSV のような解決策の開発によって、今日存在するものよりもすぐれた材料設計や材料加工技術の革新がもたらされる。新たなパッケージ応用品を展開するために、ウェーハレベルパッケージングは、材料特性の改善、もしくは異なる特性を持つ材料を必要とする。再配線と UBM に対する異なる金属構成は、新しい絶縁ポリマも同様に、携帯用民生機器における常に変化している信頼性要求に合致するために必要である。ファンアウト WLP と受動/能動素子内蔵の開発においては、新たな低温で内蔵できるポリマや低温キュアタイプの再配線層ポリマの開発が必要である。TSV 技術は、新たな絶縁膜形成やビアの開発によって、低コスト製造技術が達成できる。IPD もまた、抵抗や容量素子に対しては、改善された電気特性を持つ、より良い材料が必要である。主要な材料開発課題は、Table AP19 にまとめられている。

Table AP19 Materials Challenges

Materials Challenges for discrete packages	Issues
Wirebond	Materials and processes for low profile wirebond loop. Materials and process for multilevel stacked die without wire sweep. 30 um fine pitch wire bond
Underfills	Support higher Tj operation, low-k die, and compatibility with lead free reflow temperature. Optimal Cu pillar underfill
Thermal Interfaces	Increased thermal conduction, lower interface resistance, improved adhesion, higher modulus for heat sink applications
Materials Properties	Methodology and characterization database for frequencies above 10 GHz

Molding Compound	Molding compound for low profile multi-die package. Compatible with low-κ wafer structures with low moisture absorption for high temperature lead free applications Molding compound for hybrid wirebond and flip chip without underfill Gate leakage associated with charge storage in halogen free mold compounds Metal particle contamination and carbon black causing shorts and assembly yield problems for fine pitch interconnect.
Leadfree Solder Flip Chip Materials	Solder and UBM that supports high current density and avoid electromigration
Low Stress Die Attach Material for Tj >200C	No feasible solution known to compensate for TCE mismatch with high thermal and electrical conductivity
Rigid Organic Substrates	Lower loss dielectric, lower TCE, and higher Tg at low cost
Embedded Passives	Improved high frequency performance of dielectrics with κ above 1000; high reliability, better stability resistor materials. Ferromagnetics for sensor and MEMs applications
Environmental Regulatory Compliance	Cost, reliability and performance compatible materials must be identified to replace those banned
Solder Bump Replacement	Flexibility in joining to accommodate stress associated with TCE mismatch over the operating range
Die Attach Film	Thin wafers will suggest combination of dicing film and die attach film in a single film thin material. Lower thickness film Embedded wiring in film
Through Silicon Via Materials Challenges	Low-cost via filling material and process (e.g., low-cost seeding and plating process) Thin wafer handling carrier material and compatible attach material

新材料

ワイヤボンド接続の継続的な発展は、30μm ピッチや低背の多層チップ積層パッケージや多列ワイヤボンド接続においてワイヤ変形も無く実現できる、新たな材料開発を促している。鉛フリーパッケージに対応したリフロー温度の上昇のために、耐熱性とパッケージ反りはモールド樹脂材料にとって主要な課題になっている。モールド樹脂材料は、基材の樹脂、フィラー、硬化材およびその他添加物で構成される。優れた加工性とチップや基板表面に対する接着性を維持するために、耐熱性改善や適正な吸湿特性、適切な破壊強さが、要求される。携帯機器に対しては、最近では落下試験が一般的に要求される。

フリップチップの bumps ピッチを 100um、もしくはそれ以下に狭ピッチ化するには、UBM、ビアサイズ、 bumps 径、及びギャップ量を縮める必要がある。銅ピラーやはんだ bumps に替わる材料のような新しい材料適用や、UBM 材料、アンダーフィル材料、放熱材料(TIM)は、フリップチップのパッケージ構造には環境問題や電流密度(エレクトロマイグレーション)、高 Tj、放熱の増加、熱機械応力の要求を満足する上で重要である。

パッケージ構造は、金属、合金、ポリマやフィラーという異種材料から成り、多様な技術を持つ種々のデバイスとも集積化される。新しい材料の適用により、新たな相互作用が発生する。材料の相互作用や物理的な特性、及びチップからパッケージ全体構造における熱的、機械的、電気的特性に対する技術は、新材料適用時において極めて重要である。パッケージ高さの低背化や端子ピッチを縮める上で、高い歩留りと低い不良率を維持する優れた特性を持つ材料を適用することも重要である。

内蔵/集積受動部品、積層薄チップ、ウェーハレベルプロセス、TSV、フレキシブルインターコネクト、MEMS、メディカル・バイオチップ製品のような新しい特徴を持つパッケージ構造には、新しい種類の材料が適用される。パッケージ設計や新しいパッケージ開発では、電気的、熱的、信頼性に対する特性のモデリングとシミュレーションにおけるパッケージ材料特性のメトロロジと知識が要求される。使用環境下でのパッケージ材料の特性やその界面特性を精度よく特徴づける方法が必要である。材料情報を一般に利用できるように材料データベースを確立することは、デバイスからパッケージへの一貫した協調設計のシミュレーションを行う上で重要である。パッケージ基板に対する材料要求を Table AP20 に示す。

Table AP20 Package Substrate Physical Properties

	Year of Production	2007	2008	2009	2010	2011	2012
	DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36
	MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	68	59	52	45	40	36
	MPU Physical Gate Length (nm)	25	23	20	18	16	14
	Glass Transition Temperature (°C)						
State of the Art	Rigid Structure	300	350	350	350	350	350
	Buildup Structure	220	250	250	250	250	250
	Tape Structure	350	350	350	350	350	350
	Dielectric Constant (at 1GHz)						
State of the Art	Rigid Structure*	3	3	2.7	2.7	2.7	2.7
	Buildup Structure	2.8	2.8	2.5	2.5	2.5	2.5
	Tape Structure	2.2	2.2	2.2	2.2	2.2	2.2
	Ceramics Structure/Low Dielectric Material	4	4	3	3	3	3
	Ceramics Structure/High Dielectric Material	100	100	100	100	100	100
	Dielectric Loss (at 1GHz)						
State of the Art	Rigid Structure	0.01	0.01	0.006	0.006	0.006	0.006
	Buildup-Structure	0.002	0.002	0.002	0.002	0.002	0.002
	Tape Structure	0.0002	0.0001	0.0001	0.0001	0.0001	0.0001
	Ceramics Structure	0.0005	0.0005	0.0005	0.0005	0.0005	0.0005
	Coefficient of Thermal Expansion: X-Y Direction (ppm/°C)						
State of the Art	Rigid Structure	10	9	8	6	6	6
	Buildup Structure	5	4	4	4	4	4
	Tape Structure	10	10	10	10	10	10
	Ceramics Structure	4 – 12	4 – 12	4 – 12	4 – 12	4 – 12	4 – 12
		Coefficient of Thermal Expansion: Z Direction (ppm/°C)					
State of the Art	Rigid Structure	20	20	15	15	15	15
	Buildup Structure with core layer	10	10	10	10	10	10
	Tape Structure	10	10	10	10	10	10
	Ceramics Structure	4 – 12	4 – 12	4 – 12	4 – 12	4 – 12	4 – 12
	Water Absorption at 23°C/24hrs Dipped (Weight %)						
State of the Art	Rigid Structure	0.04	0.04	0.04	0.04	0.04	0.04
	Buildup with Reinforcement Material	0.04	0.04	0.04	0.04	0.04	0.04
	Buildup without Reinforcement Material	0.1	0.1	0.1	0.1	0.1	0.1
	Tape Structure	0.2	0.2	0.2	0.2	0.2	0.2
	Young's Modulus (GPa)						
State of the Art	Rigid Structure	45	45	45	45	45	45
	Buildup with Reinforcement Material	35	35	35	35	35	35
	Buildup without Reinforcement Material	6	6	6	6	6	6
	Tape Structure	3	3	3	3	3	3
	Ceramics Structure	50-400	50-400	50-400	50-400	50-400	50-400
	Peel Strength from Cu (kN/m)						
State of the Art	Rigid Structure	1.6	1.6	1.6	1.6	1.6	1.6
	Buildup Structure Buildup Layer	1.6	1.6	1.6	1.6	1.6	1.6
	Tape Structure	1.4	1.4	1.4	1.4	1.4	1.4

State of the art materials may not be compatible with cost requirements for volume production

Water absorption test is: JIS C6481

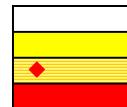
Peel strength test: IPC TM650 2.4.8

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



シリコンキャリア

有機基板のコストは、エリアレイ型パッケージのコストの大きな割合を占めており、製品にも依るが、一般的にはパッケージコストの 30-60%である。能動素子や受動素子の集積化も含めて、継続的に集積密度は上

がっており、新たなキャリアの提案が要求される。今日では有機基板を適用したパッケージは、適切なコストでの集積密度の限界に来ている。

高密度のシングルチップパッケージや SiP (例えば、シリコン積層に対して)の適用における、TSV を持つシリコンキャリア、この提案は興味深い代替案である。再配線層に IC 製造技術を適用すると、非常に密集した回路となり、適度なコストで優れた RF 性能が得られる。高 Q インダクタやキャパシタが設計可能である。シリコンキャリアに対する主要課題は以下の通り:

- 適切なコストでの、シリコン貫通と金属埋めビアの形成
- シリコンキャリアの両面に再配線層形成
- シリコンキャリア上への積層チップ搭載

ナノ材料

今日使用されている材料は、将来のパッケージにおける要求に対して、満足していない。ホットスポット、大電流、薄チップの機械的応力、及び形状の縮小化が、現存する材料では対応できていない、電氣的、熱的、機械的な特性を必要とする複雑な SiP 構造においては、特に課題である。本ロードマップの ERM 章ではこの要求を満足する材料の出現が記載されている。先端の新しいパッケージ材料の候補は以下の通り:

- 寸法の小さな材料(LDM)として、将来の高密度パッケージの要求に合致するために、熱伝導が高く、電気伝導度も高い、ナノチューブが挙げられる。
- マクロ分子は、Low-k 材料のようなポリマ材料に対して電氣的な、熱的、機械的な特性の制御が可能であり、複雑なパッケージでの消費電力の削減や高速化が実現可能である。
- 自己重合型材料は、高性能キャパシタを可能にする。

今日使用される材料の多くは、将来の要求に合致させるためにナノ材料に置換わって行く。幾つかの例を Figure AP28 に示す。

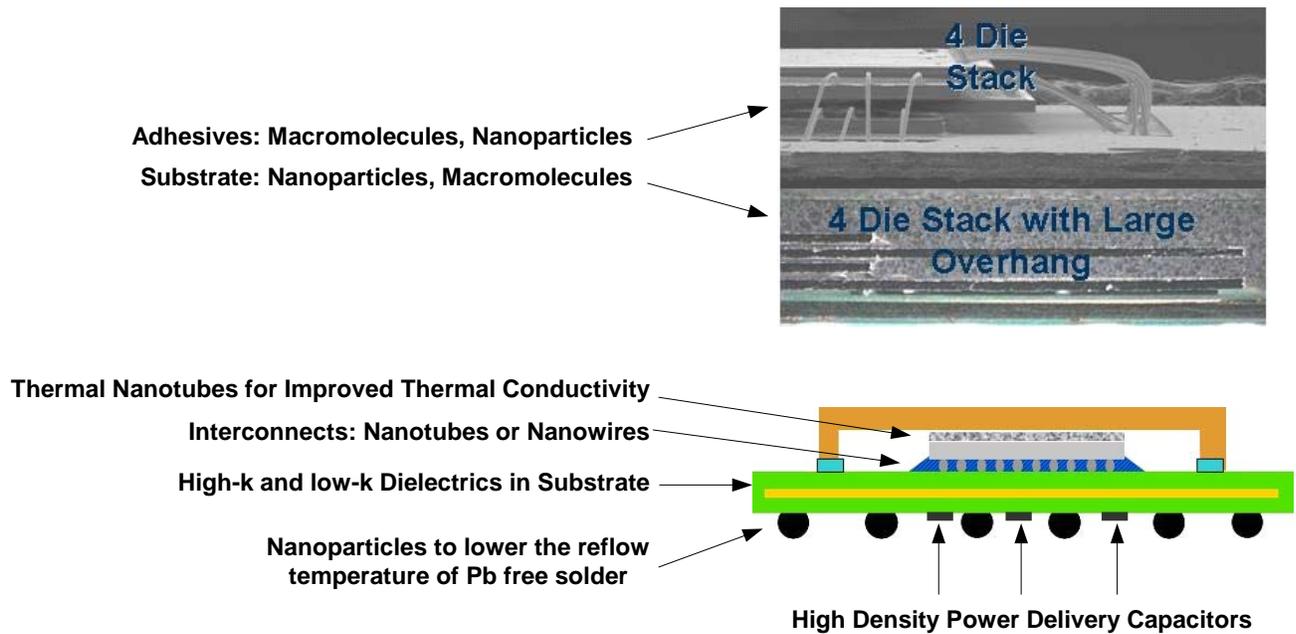


Figure AP28 Emerging Packaging Materials

環境問題

法律によって定められた重要な環境問題がある。追加規定の設定は、新しい材料が開発されることに対応して、予想されるべきである。そして、現在の使用材料に関連した健康と安全の問題は、よく理解されている。規制は、コストや信頼性、電子製品の性能に影響を与え、産業界に重大な影響がある。環境に関する規定の歴史を Figure AP29 に示す。

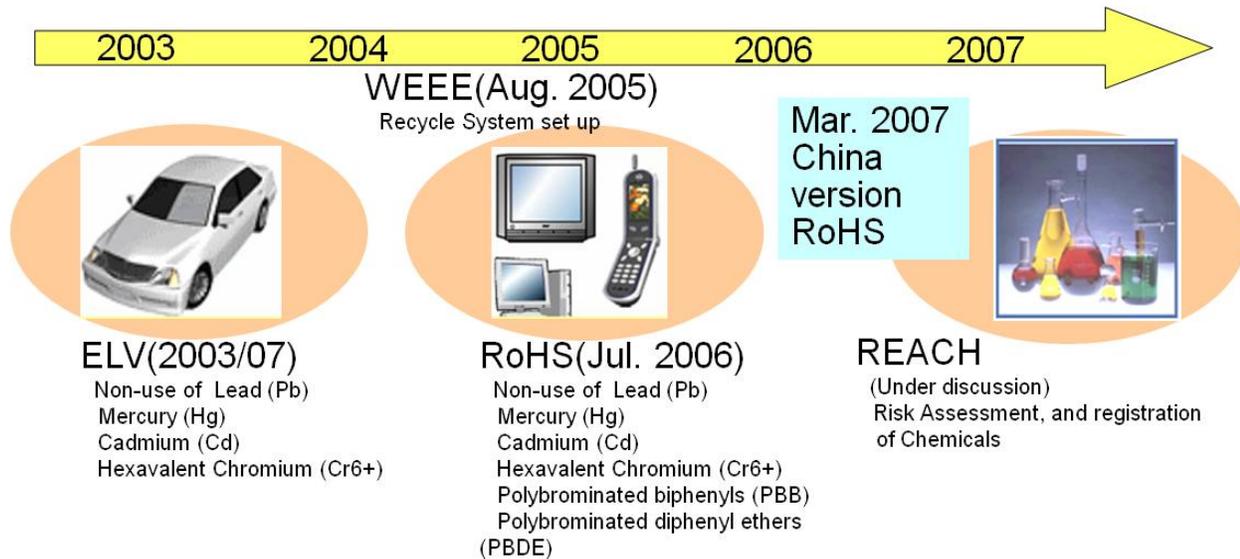


Figure AP29 The History of Environmental Regulation for the Electronics Industry

幾つかの規制の活動があり、電子産業の他のすべての部品と同様に、将来の SiP 技術に影響のある環境配慮の検討の結果生じた。それらを以下に示す。

- ELV* Directive on end-of life vehicles
- RoHS* Directive on the restriction of the use of certain hazardous substances in electrical and electric equipment
- WEEE* Directive on waste electrical and electronic equipment
- EuP* Directive on the eco-design of Energy-using Products
- REACH* Registration, Evaluation and Authorization of Chemicals

新パッケージ組立装置への要求事項

ウェーハ・レベル・パッケージや SiP (System in Package) のような Assembly and Packaging (A&P) の革新においては、特別な装置要求がある。ウェーハレベルパッケージング技術で現在使用されている装置の多くは前工程(ウェーハプロセス)装置を改良したものである。ウェーハレベルの相互配線や特殊な UBM (Under Bump Metal)、TSV (Through Silicon Via)、ウェーハレベルでの部品内蔵を開発するには次世代の装置が必要となる。例えば、はんだバンプ形成、保護膜形成、再配置配線、貫通ビア形成、能動部品集積、裏面メタライズ、光学接続、チップ to ウェーハ接続、ウェーハ to ウェーハ接続、最終裏面研削などである。コスト低減要求のロードマップを満たすためには、スループットとプロセスコストの改善が必要不可欠である。

現在でもウェーハ裏面研削装置は存在するが、ウェーハ径が増大し、チップ厚さが益々薄くなると、新しい装置が必要となる。重要な課題は、ストレス緩和と表面粗さを含めたウェーハ厚さ制御である。ウェーハ厚が $10\mu\text{m}$ 以下まで薄くなると、ドライポリッシュやドライエッチやその他のプロセスとの組合せなどのようなプロセスの改良が必要となる。

もう一つの重要な装置課題は、研削後のウェーハやチップのハンドリングである。極薄ウェーハのハンドリング、個片化、極薄チップのハンドリング (pick and place) を扱う装置も新技術が必要となる。さらに、研削後の確実なハンドリングのためには、ウェーハ用テープもしくはガラスプレートのような新しいチップキャリアやウェーハキャリアが必要になる。

新しい SiP 製品は、より汎用性と精度を持った組立装置を必要とする。種々の IC や光学素子、MEMS デバイス、バイオチップを同一の基板に搭載する SiP の組立技術においては、現在の組立装置能力の大幅な改善が必要となる。

シングルチップパッケージから SiP へパッケージング技術が進展すると、プロセス間のインターフェイスを整合させることが重要となる。前工程 (ウェーハプロセス) と後工程 (組立プロセス) の境界は不明瞭になっており、メーカ毎によって定義は異なるかも知れない。WLP や TSV のような、前工程と後工程の両方にプロセスが跨る場合の課題とコスト要因を理解するために、材料メーカや装置メーカはアライアンスやコンソーシアムを作っている。TSV 技術を用いた3次元集積化の一つの例に EMC-3D コンソーシアム (www.emc3.org) がある。このコンソーシアムは、現在の 3D 集積化技術のコストを 50%低減することを目的に、先ビア方式と後ビア方式の両方の技術を用いた TSV 構造を製造するプロセスを開発している。EMC-3D プログラムで検討されているプロセスは以下の通りである。

- ビアエッチとレーザードリル
- 絶縁膜/バリアメタル/シード層形成
- 高アスペクト比の Cu めっき
- 連続的なウェーハ研削
- ウェーハ裏面処理
- ウェーハ上へのチップ搭載と積層化

ITWG クロスカットの課題

A&P は、全ての TWG 分野における活動とその結果として生じる課題を整理統合する役割を持ち、拡大する消費者市場ニーズを満足するシステムもしくはサブシステムを提供する。ほぼ全ての TWG との間でクロスカット課題は存在するが、本節では最も重要な課題を取り上げる。

設計 TWG

SoC 技術と SiP 技術で具現化されるシステムレベルの統合などのパッケージ技術の進展によって、LSI 設計の新しいアプローチを必要とする多くの新しい課題が発生する。最も重要なニーズは、複雑な SiP 構造に対する、熱的、機械的、電気的特性のシミュレーションや協調設計を提供するツールである。本件については本章で議論されるが、より詳細については、ITRS の Web サイトに掲載されている論文 (“The next step in Assembly and Packaging: Systems Level Integration”) を参照されたい。

配線 TWG

WLP 技術と3次元集積化の出現によって、多層配線と保護膜の形成で終了していた前工程 (ウェーハプロセス) と後工程 (アセンブリプロセス) との境界が曖昧になっている。配線 TWG と A&P TWG の両方の章に

記載されている TSV であるが、夫々特徴がある。取り組み内容の重複を避けるように重要な技術の取り扱いを調整し、ロードマップに記載される情報を確実にするために、両 TWG は共同で取り組んでいる。両方の章に TSV の課題が記載されているが、配線 TWG はチップ上のグローバル配線への応用に焦点を絞り、A&P TWG は複数のチップの3次元集積化への応用へ焦点を絞っている。

RF/ワイヤレス TWG

現在、最も一般的な SiP は、携帯電話やその他の無線通信デバイスで採用されている。携帯用通信デバイスにおける小型化、低消費電力化、高性能化の継続的な要求は、無線部品と関連受動部品とパッケージ技術間の統合が取れたロードマップを必要としている。検討すべき課題を以下に記載する。

- パッケージ内でのクロストークとシステムレベルノイズ
- RF 部品を供給する上で必要となる受動部品の品質とサイズ
- パッケージ基板の内蔵デバイスを含めた部品の集積化
- RF/無線回路とその SiP 構造への集積化に必要な汎用設計ツール

ES&H TWG

ES&H TWG の検討によって新材料の導入が推進されるが、一方、新材料の潜在的な問題を特定するために、ES&H TWG の新たな活動が生じる。環境規制とその検討課題に関して、ES&H TWG は A&P TWG へ主要な指針を示している。過去の事例としては、鉛フリーはんだやハロゲンフリー材料（インターポーザや PWB 基板）への切替がある。新材料の導入だけでなく、既存の材料の異なった形態での導入も環境リスクの課題を投げかけ、この課題を検討するために両 TWG の共同の取り組みが重要である。今後のナノマテリアルの導入や、既存物質の粒子がナノレベルになった場合に生じる新たな環境リスクは、将来、協力して取り組むべき分野になる。

モデリング/シミュレーション TWG

パッケージでのシステムレベル統合によって、新たな熱的、機械的な課題が発生する。これらの課題を理解し、解決するための設計を行うこと無しに、信頼出来る製品は作れない。過去には、性能と信頼性の要求を満たすために、実際にプロトタイプを試作し、特性を評価してきた。消費者市場は、短いリードタイムと低コストを要求してきた。これらの要求を満足し、必要な性能と信頼性を提供する唯一の可能性は、モデリングとシミュレーションを用いてプロトタイプを構築し、特性を評価することである。このニーズは、A&P TWG と M&S TWG とのクロスカット活動の重要な要素となる。

テスト TWG

新構造の採用により、テストが必要な新しい不良モードと、既存の不良モードをテストするための新しい課題が発生する。システムレベルで機能を集積化するには、システムレベルのテスト技術を組み込む必要がある。変化している要求の例としては、携帯電話や多くの携帯民生機器で用いられている、SiP を含めたデバイスで標準的に使用されている落下試験がある。積層メモリのような SiP や MCP では、KGD の要求が増加している。WLP 技術は、同様な試験を要求している。検討すべき課題は以下の通りである。

- 個々の SiP 部品に対するテスト可否
- SiP のテストコスト
- 15GT/s 以上の速度の高周波プローブ
- SiP のための従来のテスト資産を持った BIST の統合化
- 超多ピンデバイスのためのコンタクタ
- WLP 技術のためのコンタクタ

新しいパッケージ技術と接続技術に関連したテストの問題を確認するために、TWG 間の共同での取り組みが行われている。これらの問題の解決策は、ある場合は設計 TWG から、ある場合はテスト TWG から、あ

る場合は A&P TWG から提起される。“More than Moore”を実現するためには、共同での努力無しには達成できない。

用語

System in package (SiP)— SiP は、異なる機能を持つ複数の能動電子部品の組合せであり、一つの標準的なパッケージに搭載され、システムやサブシステムを構成する複数の機能を提供する。また、オプションとして、受動素子、MEMS、光学部品など、他のデバイスも組み込まれる。

Wafer level packaging (WLP)— WLP 技術は、全ての IC 組立プロセスと接続をダイシング前にウェーハ状態で実現する技術である。パッケージの全ての部品がウェーハ内に存在しなければならない。ウェーハ状支持体 (structured wafer) 上に (例えば、フリップチップ接続で) チップが搭載され、ダイシング前にウェーハ状態でパッケージされた場合も WLP と見なされる。

Integrated passives— Integrated passives は、抵抗やキャパシタやインダクタンスなどの複数の受動部品を一つの基板に回路として搭載した部品であり、一つの受動部品として機能する。

Embedded passives— Embedded passives とは、IC に組み込まれるか、1層追加して IC の上に形成されるか、ビルドアップのポリマ層に埋め込まれるか、もしくはパッケージ基板に埋め込まれる受動部品をいう。

3D packaging— 3D packaging は、チップ同士の相互接続の本質的な部分がパッケージ基板平面にないパッケージ技術をいう。

QFP— 四角形の4辺にガルウイング形状のリード端子を備えたセラミックあるいはプラスチックのチップキャリア。通常、チップの裏面はリードフレームに接着されており、また電気的な接続はワイヤボンディング工程を用いてチップのデバイス面と接続される。さらにパッケージ全体はモールド工程によって封止される。

QFN— パッケージの4辺の下側に接続リードを備えたセラミックあるいはプラスチックのチップキャリア。通常、チップの裏面はリードフレームに接着されており、また電気的な接続はワイヤボンディング工程を用いてチップの表面側と接続されている。

P-BGA— 通常のプリント配線板との接続のために、格子配列のはんだボールを使用しているプラスチックパッケージ。通常、チップの裏面はラミネート基板に接着されている。また電気的な接続は、ワイヤボンディングを用いてチップのデバイス面の電極と接続され、さらにパッケージの上面はモールド工程によって封止される。

T-BGA— テープ BGA。P-BGA と類似しており、基板はポリマテープ上にメタル回路配線層が形成されている。チップへの相互接続は熱圧着一括ボンディングによって形成される。

FC-BGA— フリップチップ BGA。P-BGA と類似しており、チップと基板との相互接続はフリップチップ接続を用いて形成される。つまり、チップの上面に形成した金属 (はんだ) バンプを用いて、チップ表面を下向きにして基板との相互接続を行う。通常、チップと基板との間のスペースにはアンダーフィル材が充填される。

FC-LGA— フリップチップ LGA。FC-BGA と類似しており、パッケージ基板に接続のためのはんだボールがないもの。

REFERENCES

- [1] R. Prasher, "Thermal interface materials: historical perspective, status, and future directions," *Proceedings of the IEEE*, vol.94, no.8, pp. 1571- 1586, 2006.
- [2] J. Hone, M. C. Llaguno, M. J. Biercuk, A. T. Johnson, B. Batlogg, Z. Benes, and J. E. Fischer, "Thermal properties of carbon nanotubes and nanotube-based materials," *Appl. Phys. A*, vol. 74, pp. 339-343, 2002.
- [3] C. J. Uchibori, X. Zhang, P. S. Ho, and T. Nakamura, "Effects of chip-package interaction on mechanical reliability of Cu interconnects for 65nm technology node and beyond," *IEEE Int. Technol. Conf.*, 2006, pp. 196-198.
- [4] L. L. Mercado, C. Goldberg, S.-M. Kuo, T.-Y. Lee, and S. K. Pozder, "Analysis of flip-chip packaging challenges on copper/low-k interconnects," *IEEE Trans. Device and Materials Reliability*, vol. 3, no. 4, pp. 111- 118, Dec. 2003.

- [5] *The Next Step in Assembly and Packaging: Systems Level Integration*. A White paper on System in Package written by the ITRS Technical Working Group for Assembly and Packaging.
- [6] Dang, M. S. Bakir, and J. D. Meindl, "Integrated thermal-fluidic I/O interconnects for an on-chip microchannel heat sink," *IEEE Electron Device Letters*, vol. 27, no. 2, pp. 117-119, 2006.
- [7] M. Bakir, B. Dang, and J. Meindl, "Revolutionary nanosilicon ancillary technologies for *ultimate*-performance gigascale systems" in *Proc. IEEE Custom Integrated Circuits Conf. (CICC)*, 2007.
- [8] D. A. B. Miller, "Rationale and challenges for optical interconnects to electronic chips," *Proceedings of the IEEE*, vol. 88, pp. 728-749, 2000.
- [9] H. Dawei, T. Sze, A. Landin, R. Lytel, and H. L. Davidson, "Optical interconnects: out of the box forever?," *IEEE J. Selected Topics in Quantum Electronics*, vol. 9, pp. 614-623, 2003.
- [10] Y. Ishii, S. Koike, Y. Arai, and Y. Ando, "SMT-compatible large-tolerance "OptoBump" interface for interchip optical interconnections," *IEEE Trans. Advanced Packaging*, vol. 26, pp. 122-127, 2003.
- [11] M. Bakir, B. Dang, and J. Meindl, "Revolutionary nanosilicon ancillary technologies for *ultimate*-performance gigascale systems" in *Proc. IEEE Custom Integrated Circuits Conf. (CICC)*, 2007.
- [12] R. T. Chen, L. Lei, C. Chulchae, Y. J. Liu, B. Bihari, L. Wu, S. Tang, R. Wickman, B. Picor, M. K. Hibb-Brenner, J. Bristow, and Y. S. Liu, "Fully embedded board-level guided-wave optoelectronic interconnects," *Proceedings of the IEEE*, vol. 88, pp. 780-793, 2000.
- [13] Roozeboom et al, "Passive and heterogeneous integration towards a Si-based System-in-Package concept", *Thin Solid Films* 504 (2006) 391 – 396

付録 A: パッケージ技術関連コンソーシアム

半導体産業におけるパッケージニーズを検討しているコンソーシアムが何ヶ所かある。この節では、代表的なコンソーシアム活動を表に纏める。

Consortium	Headquarters (Date Formed)	Website	Areas of Interest
CALCE (Center for Advanced Life Cycle Engineering)	University of Maryland, University park, Md (1983)	www.calce.umd.edu	電子製品・システムのリスクの評価、軽減と管理に対する戦略。 <ul style="list-style-type: none"> 不良の物理、不良メカニズムおよび材料の挙動 信頼性のための設計と実質的な品質認定 加速試験、スクリーニングと品質保証 診断と予後の状態管理 (半導体、部品、アセンブリにおける不良の兆候、応力センサ、状態に基づく予兆) <ul style="list-style-type: none"> サプライチェーンの評価と管理 (電子部品劣化の予測と管理) <ul style="list-style-type: none"> ライフサイクルリスク、コスト解析と管理 (メンテナンス、再生と持続性計画、コストモデル)
EPACK Lab/CAMP (Electronic Packaging Laboratory/Center for Advanced Microsystems Packaging)	Hong Kong University of Science & Technology (1997)	www.ust.hk/epack-lab	以下の領域での研究開発、技術訓練と産業貢献; <ul style="list-style-type: none"> ウェーハバンプ形成とフリップチップ技術 WLPとCSP TSVと3次元パッケージ技術 LEDパッケージ技術 オプティカルファイバの受光アライメントのためのシリコンベンチ 鉛フリーはんだ接続技術とはんだ接続信頼性の計算機モデルとシミュレーション
Fraunhofer IZM (Fraunhofer Institute for Reliability and Microintegration)	Berlin, Germany (Headquarters)	www.izm.fhg.de	応用研究のための非営利の科学研究所。対象は以下の分野; <ul style="list-style-type: none"> パッケージ技術とシステム集積化技術 微小部の信頼性と寿命推定 ウェーハレベルシステムパッケージ技術 3次元システム集積化 放熱設計 RFと無線通信 光学用パッケージ技術 広域エレクトロニクス MEMSパッケージ技術 持続可能な技術開発
Fraunhofer IWMH (Fraunhofer Institute for Mechanics of Materials at Halle)		www.iwmh.fraunhofer.de	<ul style="list-style-type: none"> 不良検出と解析 金属物理学
HDPUG (High Density Packaging Users Group)	Arizona	www.hdpug.org	プロジェクトは以下を含む; <ul style="list-style-type: none"> パワーサイクル試験と温度サイクル試験との相関 フリップチップの信頼性特性化 鉛フリーはんだ技術 低温鉛フリーはんだ技術 ウェーハレベル CSP 信頼性 先端フリップチップ技術 オプティカル WG

IEEC	Binghamton University, NY (1984)	www.ieec.binghamton.edu/ieec/	先端技術のためのニューヨーク州立センタ。研究対象の領域は以下を含む; <ul style="list-style-type: none"> ・電氣的、熱的、機械的な解析と測定 ・3次元積層システム ・小規模システム集積化とパッケージ技術 ・信頼性と不良解析 ・ロール to ロールフレキシブルエレクトロニクス ・製品の分解解析
IFC (Interconnect Focus Center)	Atlanta, Georgia (1998)	www.ifc.gatech.edu	相互接続技術問題に関する長期に渡る調査研究を行っている複数の大学からなる研究団体。ジョージア工科大学に本部がある。研究の対象は、電氣的接続、光学的接続、熱放散と熱設計、回路とシステムの設計とモデリングを含む。
IME	Singapore (1991)	www.ime.a-star.edu.sg	科学技術開発庁 (Agency of Science Technology and Research (ASTAR)) によって設立された非営利の研究開発組織であり、マイクロエレクトロニクスの上流の研究領域に焦点を当てている。 3つのコア研究所がある; <ul style="list-style-type: none"> 半導体プロセス技術研究所 マイクロシステム・モジュール・部品研究所 集積回路・システム研究所 主要な研究プログラムは以下の通り; <ul style="list-style-type: none"> ・シリコン光学 ・ナノエレクトロニクス ・バイオエレクトロニクスとバイオメディカル ・MEMSとNEMS技術 ・RFと無線システム
IMEC (Interuniversity Microelectronics Centre)	Leuven, Belgium (1984)	www.imec.be	独立した研究センタ IMECは、大学の基礎研究と産業の技術開発の間の隙間を埋めることを目的としている。 対象分野は以下を含む; <ul style="list-style-type: none"> ・CMOSとポストCMOSナノエレクトロニクス ・太陽電池 ・先端パッケージ技術と接続技術 ・バイオエレクトロニクスと有機エレクトロニクス ・RFデバイスと技術
ITRI (Industrial Technology Research Institute)	Hsin Chu, Taiwan (1973)	www.itri.org.tw	経済業務省 (Ministry of Economic Affairs) によって設立された非営利の研究開発組織。 6つの主要研究所があり、研究の対象は以下の通り; <ul style="list-style-type: none"> ・通信とオプトエレクトロニクス ・精密機器とMEMS ・材料と化学工学 ・バイオメディカル技術 ・持続可能な開発 ・ナノテクノロジー
JIEP (Japan Institute of Electronics Packaging)	Japan	www.e-JISSO.jp	3次元実装のための材料 実装システムのためのCAE研究 <ul style="list-style-type: none"> ・EMCモデル ・超高周波基板設計 ・ノイズ低減 ・RWB製造 ・マイクロ・ナノ製造 ・EPADs ・次世代回路基板研究 ・イオンマイグレーションの評価方法

			<ul style="list-style-type: none"> ・Sn ウィスカ ・先端実装技術 ・DFT ・オプトエレクトロニクス実装技術 ・環境調和型実装技術 ・ナノ・バイオ素子実装技術 ・半導体パッケージ技術
KAIST (Korea Advanced Institute of Science and Technology)	South Korea (1971)	www.kaist.edu	<p>韓国先端科学技術大学 (Korea Advanced Institute of Science and Technology (KAIST)) の電子パッケージ材料センタ (The Center for Electronic Packaging Materials (CEPM)) は、先端電子パッケージ材料、プロセス技術および電子システムの設計と信頼性を開発している。CEPM は、パッケージ材料特性を活かした電子パッケージ技術の研究開発に注力している。</p> <p>研究分野としては、材料科学・工学、機械工学、化学工学および電気工学を含んでいる。</p>
LETI (Laboratoire d'électronique et de technologie de l'information)	Grenoble, France	www-leti.cea.fr	<p>フランス原子エネルギー委員会 (French Atomic Energy Commission(CEA)) の研究所。</p> <p>対象分野は以下を含む；</p> <ul style="list-style-type: none"> ・エレクトロニクスとバイオのためのマイクロ・ナノ技術 ・マイクロシステムの技術、設計および集積化 ・画像技術 ・通信技術とノマディック製品
PRC (Packaging Research Center)	Atlanta, GA (1994)	www.prc.gatech.edu	<p>大学と産業のコンソーシウム。</p> <p>本部はジョージア工科大学にある。</p> <p>研究対象は、ミックスドシグナル設計、テスト、材料、プロセス、アセンブリ、熱および信頼性に関係した SiP 技術の開発である。</p>
SEMATECH (Semiconductor Manufacturing Technology)	Austin, Texas (1987)	www.sematech.org	<p>リスクを共有し、生産性を向上させる。</p> <p>研究の対象は、リソグラフィ、材料と加工、製造技術、3次元接続および労働力開発を含む。</p>
SRC (Semiconductor Research Corporation)	Durham, NC (1981)	www.src.org	<p>米国の半導体産業と大学の研究管理コンソーシウム。</p> <p>半導体産業が直面している技術課題の解決と参加企業の技術レベルの向上を目的としている。</p> <p>研究の対象は、短期から長期に渡り、また、前工程デバイスからシステムレベルの課題に及ぶ。</p>